



0300 #4

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re U.S. Patent Application of )  
HASEGAWA et al. )  
Application Number: 10/058,787 )  
Filed: January 30, 2002 )  
For: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, )  
METHOD OF TESTING SEMICONDUCTOR )  
INTEGRATED CIRCUIT DEVICE AND METHOD OF )  
MANUFACTURING SEMICONDUCTOR INTEGRATED )  
CIRCUIT DEVICE )

**Honorable Assistant Commissioner  
for Patents  
Washington, D.C. 20231**

**LETTER**

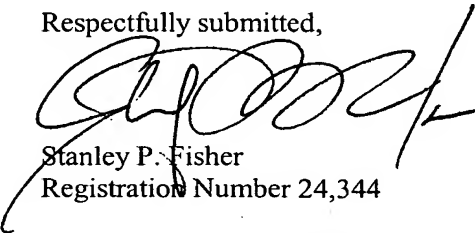
Sir:

The below-identified communications are submitted in the above-captioned application or proceeding:

- |   |                           |   |
|---|---------------------------|---|
| <input checked="" type="checkbox"/> (X) | Priority Documents (1)    |   |
| <input checked="" type="checkbox"/> (X) | Request for Priority      | <input type="checkbox"/> ( ) Assignment Document                |
| <input type="checkbox"/> ( )            | Response to Missing Parts | <input type="checkbox"/> ( ) Petition under 37 C.F.R. § 1.47(a) |
|   | w/ signed Declaration     | <input type="checkbox"/> ( ) Check for \$                       |

- ☒ The Commissioner is hereby authorized to charge payment of any fees associated with this communication, including fees under 37 C.F.R. § 1.16 and 1.17 or credit any overpayment to **Deposit Account Number 08-1480**. A duplicate copy of this sheet is attached.

Respectfully submitted,

  
Stanley P. Fisher  
Registration Number 24,344

**REED SMITH LLP**  
3110 Fairview Park Drive  
Suite 1400  
Falls Church, Virginia 22042  
(703) 641-4200

**JUAN CARLOS A. MARQUEZ**  
Registration No. 34,072

April 1, 2002

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re U.S. Patent Application of

HASEGAWA et al.

Application Number: 10/058,787

Filed: January 30, 2002

For: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, )  
METHOD OF TESTING SEMICONDUCTOR )  
INTEGRATED CIRCUIT DEVICE AND METHOD OF )  
MANUFACTURING SEMICONDUCTOR INTEGRATED )  
CIRCUIT DEVICE )

Honorable Assistant Commissioner  
for Patents  
Washington, D.C. 20231

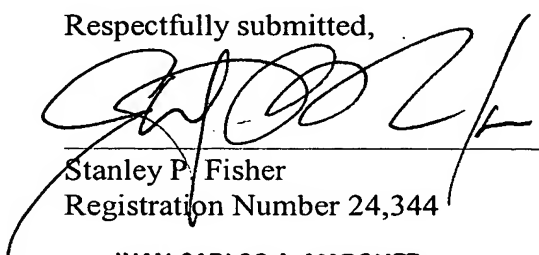
**NOTICE OF PRIORITY  
UNDER 35 U.S.C. § 119  
AND THE INTERNATIONAL CONVENTION**

Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of February 1, 2001, the filing date of the corresponding Japanese patent application 2001-025227.

The certified copy of corresponding Japanese patent application 2001-025227 is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

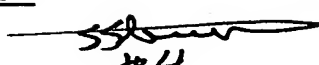
  
Stanley P. Fisher  
Registration Number 24,344

**REED SMITH LLP**  
3110 Fairview Park Drive  
Suite 1400  
Falls Church, Virginia 22042  
(703) 641-4200

**JUAN CARLOS A. MARQUEZ**  
Registration No. 34,072

January 30, 2002



  
#4  
7-12-02



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月 1日

出 願 番 号

Application Number:

特願2001-025227

[ ST.10/C ]:

[ JP2001-025227 ]

出 願 人

Applicant(s):

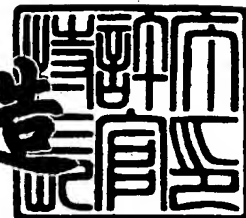
株式会社日立製作所

株式会社日立超エル・エス・アイ・システムズ

2002年 2月15日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3007564

【書類名】 特許願

【整理番号】 H00016791

【提出日】 平成13年 2月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

    【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

    【氏名】 長谷川 雅俊

【発明者】

    【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

    【氏名】 宮岡 修一

【発明者】

    【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立超エル・エス・アイ・システムズ内

    【氏名】 赤▲崎▼ 博

【発明者】

    【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立超エル・エス・アイ・システムズ内

    【氏名】 片山 雅弘

【特許出願人】

    【識別番号】 000005108

    【氏名又は名称】 株式会社日立製作所

【特許出願人】

    【識別番号】 000233169

    【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

【代理人】

    【識別番号】 100081938

【弁理士】

【氏名又は名称】 徳若 光政

【電話番号】 0422-46-5761

【手数料の表示】

【予納台帳番号】 000376

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置とテスト方法及び半導体集積回路装置の製造方法

【特許請求の範囲】

【請求項 1】 内部動作制御信号に応じて動作状態が制御される内部回路と

上記内部動作制御信号を形成する制御回路とを備えてなり、

上記制御回路は、

外部動作制御信号が供給される端子と、テスト専用タイミング信号とが供給される端子とにその入力が結合され、かつテストモードと通常動作モードとに制御可能にされ、

テストモードにおいて、上記外部動作制御信号の第 1 状態から第 2 状態への変化に応答して上記内部動作制御信号を第 1 制御状態から第 2 制御状態へ変化せしめ、かつ上記テスト専用タイミングに응答して上記内部動作制御信号を第 1 制御状態へ変化せしめ、

通常動作モードにおいて、上記外部動作制御信号の第 1 状態から第 2 状態への変化に응答して上記内部動作制御信号を上記第 1 制御状態から上記第 2 制御状態へ変化せしめ、かつ上記外部動作制御信号の第 1 状態への変化に응答して上記内部動作制御信号を上記第 1 制御状態へ変化せしめる、

ようにされてなることを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 において、

上記外部動作制御信号は、複数の制御信号からなり、

上記第 1 状態、第 2 状態は、上記複数の制御信号の持つレベルの組み合わせによって規定されるものであることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 2 において、

上記内部回路は、メモリ回路であり、

上記複数の制御信号は、メモリ選択信号及びクロック信号からなり、

上記内部動作制御信号は、上記クロック信号に同期して取り込まれたメモリ選択信号の第 1 レベルへの変化に응答して上記第 1 制御状態から第 2 制御状態へ変

化され、及び上記クロック信号に同期したメモリ選択信号の第2レベルへの変化に対応した信号により上記第1制御状態に変化されるものであることを特徴とする半導体集積回路装置。

【請求項4】 請求項3において、

上記メモリ回路は、

その選択端子が対応するワード線に結合され、そのデータ端子が対応するビット線に結合されたメモリセルを含み、

上記内部動作制御信号の上記第1制御状態に応じて上記ワード線選択の終了動作とその後上記ビット線の電位を所定レベルにリセットせしめる動作とのシーケンス動作を行うものであることを特徴とする半導体集積回路装置。

【請求項5】 請求項3又は4において、

上記メモリ回路は、

その選択端子が対応するワード線に結合され、そのデータ端子が対応するビット線に結合された読み出し書込み型メモリセルを含み、

上記内部動作制御信号の上記第1制御状態から第2制御状態への変化に応じてワード線選択を開始し、

上記内部動作制御信号の上記第1制御状態への変化に応じて上記ワード線選択を終了するものであり、

かつ、データの書込み動作のための上記ワード線選択の開始動作とビット線への書込みデータの付与動作とのシーケンス動作が上記内部動作制御信号の上記第1制御状態から第2制御状態への変化に応じて行われるものであることを特徴とする半導体集積回路装置。

【請求項6】 請求項1ないし5のいずれか1つにおいて、

上記テスト専用タイミング信号が供給される上記端子は、上記テスト専用タイミング信号に専用の端子として半導体集積回路チップ上に設けられてなる端子であることを特徴とする半導体集積回路装置。

【請求項7】 請求項1ないし6のいずれか1つにおいて、

上記制御回路は、モード信号が供給される入力を持ち、かかるモード信号に応じて上記テストモードでの上記制御動作、及び上記通常動作モードでの上記制御

動作を行うものであることを特徴とする半導体集積回路装置。

【請求項 8】 請求項 1 ないし 7 のいずれか 1 つにおいて、

上記クロック信号は、テストモードにおいてはテスト装置の性能に対応して通常動作時に比べて低い周波数のクロック信号とされるものであり、

上記テスト用タイミング信号は、上記クロック信号との位相差が上記通常動作時のクロック信号の周波数に対応した内部動作制御信号を形成するものであることを特徴とする半導体集積回路装置。

【請求項 9】 メモリ選択動作制御のための動作制御信号、及び動作タイミング信号が供給される複数の信号ノードを持ち、

上記動作制御信号に基づいてワード線選択動作、該ワード線選択動作に続くセンスアンプ動作、データ伝達動作を含むメモリ選択動作及びワード線選択動作の終了を含むメモリ選択動作の終了が行われ、

かつ上記動作タイミング信号によってその内部動作の基準タイミングが設定されるメモリ回路をテストする方法であって、

テスト装置によるテスト動作のときに上記タイミング信号をかけるテスト装置の性能に対応して通常のメモリ動作に比べて低い周波数とし、

かかるテスト動作時のタイミング信号にテスト専用タイミング信号を組み合わせることにより、上記動作制御信号による動作期間の変更を行って上記メモリ回路の応答特性をテストすることを特徴とするテスト方法。

【請求項 10】 請求項 9 において、

上記メモリ回路は、読み出し書き込み型メモリセルを備えてなり、

書込み動作において上記動作制御信号に基づいての上記ワード線選択動作と、上記ワード線選択動作によって選択されたメモリセルへのデータ書き込み動作とを含むメモリ選択動作を行うものであり、

上記タイミング信号に対するテスト専用タイミング信号の入力タイミングを変化せしめることによって上記メモリ回路の動作期間を変更せしめ、かかる動作期間の変更によって上記メモリ回路のデータ書き込み応答特性をテストすることを特徴とするテスト方法。

【請求項 11】 請求項 9 又は 10 において、



上記メモリ回路は、上記メモリ選択動作の終了において上記ワード線選択動作の終了と、メモリセル用のデータが与えられるビット線の電位を所定電位にリセットせしめるリセット動作とを含むシーケンス動作を行うものであり、

上記テスト専用タイミング信号の入力タイミングを変更せしめることによって次のメモリ選択動作の開始のための上記動作制御信号の変化タイミングまでの期間を変更せしめ、上記リセット動作の応答特性をテストすることを特徴とする請テスト方法。

【請求項 1 2】   メモリ選択動作制御のための動作制御信号、及び動作タイミング信号が供給される複数の信号ノードを持ち、上記動作制御信号に基づいてワード線選択動作、該ワード線選択動作に続くセンスアンプ動作、データ伝達動作を含むメモリ選択動作と、ワード線選択動作の終了を含むメモリ選択動作の終了が行われ、かつ上記動作タイミング信号によってその内部動作の基準タイミングが設定されるメモリ回路を備え、該メモリ回路が欠陥救済回路を備えてなる半導体集積回路装置の製造方法であって、

上記メモリ回路、上記欠陥救済回路が形成された半導体集積回路基板を用意する工程 1 と、

テスト装置により、その性能に対応して通常動作に比べて上記タイミング信号を低い周波数にして、かかるタイミング信号とテスト専用タイミング信号との組み合わせにより、上記メモリ回路の動作期間を制御せしめ、かかる動作期間の制御によって上記メモリ回路の応答特性をテストする工程 2 と、

上記応答特性のテスト結果に基づいて上記メモリ回路の欠陥救済されるべき部分を決定せしめる工程 3 と、

上記工程 3 によつて決定された上記の欠陥救済されるべき部分を上記欠陥救済回路によって救済せしめる工程 4 と、

を含むことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、半導体集積回路装置とテスト方法及び半導体集積回路装置の製造

方法に関し、例えば低速なテスト装置を用いて、半導体集積回路装置として構成される高速動作のダイナミック型RAM（ランダム・アクセス・メモリ）における書き込み不良及びプリチャージ不良を判別する技術に利用して有効な技術に関するものである。

#### 【0002】

##### 【従来の技術】

半導体集積回路装置として構成されたダイナミック型RAMは、適当な動作制御信号や、データ信号の印加、及び出力データの参照によってテストされる。ダイナミック型RAMの動作速度を確認する必要がある場合や、動作タイミングマージンを確認する必要がある場合には、RAS（Row Address Strobe）信号や、CAS（Column Address Strobe）信号と称されるような同期信号の周期をテスト用に適当に設定した上でテストが行われる。すなわち、RAM内部のワード線の選択／非選択のための動作、センスアンプの増幅動作、ビット線のプリチャージ動作等の動作に必要な動作期間は、RAMの製造バラツキによって変化する。同期信号の適当な設定によって、種々の適切な動作を要する期間のバラツキが許容範囲内に有るか否かのテストが可能となる。

#### 【0003】

##### 【発明が解決しようとする課題】

近年の半導体集積回路装置技術の進展は目覚ましく、より高機能、高速動作を可能としてきている。半導体集積回路装置として構成されるダイナミック型RAMもまた100MHz程度ないしそれ以下の周波数の高速動作のものが必要とされ、かつ可能にされてきている。その種の高速動作が可能なダイナミック型RAMに対して、現実的に実用に供し得るテスト装置ないしはテスターは、例えば約30MHzのようなクロック動作の比較的低速度のものである。

#### 【0004】

本願発明者等は、本発明の前に、低速度のテスト装置の使用の元で、RAMの高速テストの可能性について検討した。検討した興味ある技術は、メモリの内部のタイミング制御構成の一部を、RAS信号のような同期信号の通常のレベル遷移に応答する構成から、テスト時のみ逆方向のレベル遷移に応答する構成に切り

替え可能にすること（言い換えると、エッジトリガの切り換えを行うこと）と、テスト装置でのパルス幅設定機能ないしはパルスデューティ比変更機能とを組み合わせることによって、テスト時に、メモリ内部を見かけ上パルス幅の短い同期信号で動作させる技術である。かかる検討技術によって、動作速度が100MHz以下のようなさほど高速でないダイナミック型RAMは、約30MHzの前記クロック信号を用い、テスト装置での上記のようなクロック信号のデューティ操作により、内部回路の応答性、つまりは上記100MHzで動作させたと同等の評価を行うことが可能となる。すなわち、RAMの高速動作の評価は可能となる。

## 【0005】

しかしながらこの検討技術は、更に高速動作が求められるダイナミック型RAMのテストが困難となってくる。例えば、動作周波数を約400MHz程度まで高くした高速動作のDRAMに対しては、上記のようなテスト装置から供給されるクロック信号のデューティを極端に小さくしなければならず、テスト装置からメモリ回路までに至る信号伝達経路でパルスデューティが潰れてしまい、上記約400MHz程度で動作させたと同等の評価を確実に行うことができなくなる。このため、プロービング工程での選別歩留りが低下し、本来不良となるチップに対する組み立てから選別に至る工程に無駄が生じるものとなる。

## 【0006】

高速動作のDRAMの評価の困難性について、DRAMメモリセル部とセンスアンプ部との等価回路を示す図12の利用の元で説明すると以下ようになる。なお、ダイナミック型RAMを高速動作させる上では、メモリセルに存在する寄生抵抗のバラツキによる影響も無視できなくなってくる。そこで、図12では、一般には無視できるものとして図面表現されない寄生抵抗も表現している。DRAMの書き込みサイクルでは、Yセレクト信号（YS）、ライトセレクト信号（WS）の2つの信号がアサートされたビット線（BL）をライトI/O（WIO）と接続してビット線を反転させ、センスアンプでビット線をフル振幅させる。そしてメモリセルのストレージノードもビット線と同じ電位になった所でワード線（WL）を立ち下げて書き込みを完了する。

## 【0007】

メモリセルには同図に示すように、ビット線とトランスファMOSFETの接続のためのビット線コンタクトホール（BLCT）、ストレージノードとトランスファMOSFETを接続するためのストレージノードコンタクトホール（SNCT）に大きな寄生抵抗がついており、プロセスバラツキの中で更に大きな寄生抵抗を持つ不良ビット（メモリセル）が存在し、プロービング検査（以下P検）で、これを検出して救済しないと組み立て後での選別歩留り低下を招くものとなる。

## 【0008】

また、書き込みが終了した後はプリチャージ信号（PCH）がアサートされ、次の読み出しに備えてビット線のプリチャージが行われる。ここでプリチャージMOSFETのコンタクト抵抗や $V_{th}$ のバラツキで駆動能力が弱い時、そのビット線は次の読み出しサイクルまでにプリチャージが間に合わず、ビット線に電荷が残った状態で次のワード線を立ちあげてしまうので、選択されたメモリセルからの読み出されるビット線信号量を破壊し、それがセンスアンプには入力オフセットとして作用するものとなるため読み出し不良を引き起こしてしまう。このようなビット線不良もP検時に救済しないと、組み立て後の選別歩留り低下を招くものである。

## 【0009】

この発明の目的は、簡単な構成により高い信頼性での高速動作試験を可能にした半導体集積回路装置、テスト方法を提供することにある。この発明の他の目的は、簡単な構成により選別歩留りの向上を実現した半導体集積回路装置の製造方法を提供することにある。この発明の前記ならびに、そのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【0010】

## 【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。内部動作制御信号に応じて動作状態が制御される内部回路と、その内部動作制御信号を形成する制御回路とを備え、外部動作制御信号が供給される端子と、テスト専用タイミング信号とが供給される端子とに上記制御回路

の入力を結合し、テストモードのときに上記外部動作制御信号の第 1 状態から第 2 状態への変化に応答して上記内部動作制御信号を第 1 制御状態から第 2 制御状態へ変化せしめ、かつ上記テスト専用タイミングに응答して上記内部動作制御信号を第 1 制御状態へ変化せしめ、通常動作モードのときに上記外部動作制御信号の第 1 状態から第 2 状態への変化に응答して上記内部動作制御信号を上記第 1 制御状態から上記第 2 制御状態へ変化せしめ、かつ上記外部動作制御信号の第 1 状態への変化に응答して上記内部動作制御信号を上記第 1 制御状態へ変化せしめるように制御可能とする。

#### 【 0 0 1 1 】

本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。メモリ選択動作制御のための動作制御信号、及び動作タイミング信号が供給される複数の信号ノードを持ち、上記動作制御信号に基づいてワード線選択動作、該ワード線選択動作に続くセンスアンプ動作、データ伝達動作を含むメモリ選択動作及びワード線選択動作の終了を含むメモリ選択動作の終了が行われ、かつ上記動作タイミング信号によってその内部動作の基準タイミングが設定されるメモリ回路をテストする方法として、テスト装置の性能に対応して通常のメモリ動作に比べて低い周波数のタイミング信号を用い、かかるテスト動作時のタイミング信号とテスト専用タイミング信号を組み合わせることにより、上記動作制御信号による動作期間の変更を行って上記メモリ回路の応答特性をテストする。

#### 【 0 0 1 2 】

本願において開示される発明のうち更に他の代表的なものの概要を簡単に説明すれば、下記の通りである。メモリ選択動作制御のための動作制御信号、及び動作タイミング信号が供給される複数の信号ノードを持ち、上記動作制御信号に基づいてワード線選択動作、該ワード線選択動作に続くセンスアンプ動作、データ伝達動作を含むメモリ選択動作と、ワード線選択動作の終了を含むメモリ選択動作の終了が行われ、かつ上記動作タイミング信号によってその内部動作の基準タイミングが設定されるメモリ回路とその欠陥救済回路を備えてなる半導体集積回路装置の製造方法として、上記メモリ回路、上記欠陥救済回路が形成された半導

体集積回路基板に対して、テスト装置の性能に対応した通常動作に比べて低い周波数にしたタイミング信号とテスト専用タイミング信号との組み合わせにより、上記メモリ回路の動作期間を制御せしめ、かかる動作期間の制御によって上記メモリ回路の応答特性をテストし、そのテスト結果に基づいて上記メモリ回路の欠陥救済を決定し、上記欠陥救済回路によって救済せしめる。

## 【 0 0 1 3 】

## 【発明の実施の形態】

図 1 には、この発明が適用されるダイナミック型 R A M の一実施例の概略レイアウト図が示されている。同図においては、この発明が適用されるダイナミック型 R A M を構成する各回路ブロックのうち、その主要部が判るように示されている。図示のダイナミック型 R A M は、その全体が 1 つの半導体チップないしはメモリチップ 1 0 を成すように、公知の半導体集積回路の製造技術により、単結晶シリコンのような 1 個の半導体基板上において形成される。

## 【 0 0 1 4 】

この実施例では、特に制限されないが、メモリアレイは、全体として 4 個に分けられる。4 個のメモリアレイは、半導体チップ 1 0 の長手方向に対して左右に分けられて配置される。中央部分 1 4 には、図面の複雑化を回避するために図示を省略するけれども、アドレス入力回路、データ入出力回路及びボンディングパッド列からなる入出力インターフェイス回路及び昇圧回路や降圧回路を含む電源回路等が設けられる。これら中央部分 1 4 の両側のメモリアレイに接する部分には、メモリアレイ制御回路 ( A C ) 1 1 、メインワードドライバ ( M W D ) 1 2 が配置される。上記メモリアレイ制御回路 1 1 は、サブワード選択線やセンスアンプを駆動するための制御回路及びメインアンプからなる。上述のように半導体チップの長手方向に対して左右に 2 個、上下に 2 個ずつに分けられた 4 個からなる各メモリアレイにおいて、長手方向に対して上下中央部にカラムデコーダ領域 ( Y D C ) 1 3 が設けられる。

## 【 0 0 1 5 】

上記メインワードドライバ 1 2 は、それに対応した 1 つのメモリアレイを貫通するように延長されるメインワード線の選択信号を形成する。上記メインワード

ドライバ領域 1 2 にサブワード選択用のサブワード選択線のドライバも設けられ、上記メインワード線と平行に延長されてサブワード選択線の選択信号を形成する。カラムデコーダ 1 3 は、それに対応した 1 つのメモリアレイを貫通するように延長されるカラム選択線の選択信号を形成する。

## 【 0 0 1 6 】

上記各メモリアレイは、複数のメモリセルアレイ（以下、サブアレイと称する）1 5 から成る。図 1 は、半導体チップ 1 0 とともに、該チップ 1 0 の横に、該チップ 1 0 内におけるサブアレイ 1 5 の拡大図も示している。サブアレイ 1 5 は、その拡大図に示すように、センスアンプ領域 1 6、サブワードドライバ領域 1 7 に囲まれて形成される。上記センスアンプ領域 1 6 と、上記サブワードドライバ領域 1 7 の交差部は、交差領域（クロスエリア）1 8 とされる。上記センスアンプ領域 1 6 に設けられるセンスアンプは、CMOS 構成のラッチ回路により構成され、かかるセンスアンプを中心にして左右に延長される相補ビット線の信号を増幅するという、いわゆる 1 交点方式とされる。

## 【 0 0 1 7 】

拡大図として示された 1 つのメモリセルアレイ（サブアレイ）1 5 は、特に制限されないが、サブワード線が 5 1 2 本とされ、それと直交する相補ビット線の一方（又はデータ線）が 1 0 2 4 本とされる。上記 1 つのメモリアレイにおいて、上記サブアレイ 1 5 がビット線延長方向に正規用にビット線方向に 3 2 個と参照用に 2 個設けられる。サブアレイ 1 5 は、センスアンプ 1 6 を中心として一对の相補ビット線が設けられるので、ビット線の延長方向でみると、ビット線は上記サブアレイ 1 5 によって実質的に 1 6 分割される。また、上記サブアレイ 1 5 は、ワード線の延長方向に 4 個設けられる。これにより、ワード線の延長方向でみると、サブワード線は、上記サブアレイ 1 5 によって 4 分割される。

## 【 0 0 1 8 】

1 つのサブアレイ 1 5 において 1 0 2 4 本のビット線設けられるので、ワード線方向には約 4 K 分のメモリセルが接続される。5 1 2 本のサブワード線が設けられるので、ビット線方向には  $512 \times 32 = 16 \text{ K}$  分のメモリセルが接続される。これにより、1 つのメモリアレイは、 $4 \text{ K} \times 16 \text{ K} = 64 \text{ M}$  ビットのような

記憶容量を持ち、4つのメモリアレイによりメモリチップ10の全体では $4 \times 64 \text{ M} = 256 \text{ M}$ ビットのような記憶容量を持つようにされる。

## 【0019】

本願において、用語「MOS」は、本来はメタル・オキサイド・セミコンダクタ構成を簡略的に呼称するようになったものと理解される。しかし、近年の一般的呼称でのMOSは、半導体装置の本質部分のうちのメタルをポリシリコンのような金属でない電気導電体に換えたり、オキサイドを他の絶縁体に換えたりするものもの含んでいる。CMOSもまた、上のようなMOSに付いての捉え方の変化に応じた広い技術的意味合いを持つと理解されるようになってきている。MOSFETもまた同様に狭い意味で理解されているのではなく、実質上は絶縁ゲート電界効果トランジスタとして捉えられるような広義の構成をも含めての意味となってきた。本発明のCMOS、MOSFET等は一般的呼称に習っている。

## 【0020】

図2には、この発明に係るダイナミック型RAMにおけるメモリセルの一実施例の説明図が示されている。図2(a)には、上記2つのサブアレイMAT0とMAT1のメモリセルアレイの平面レイアウトが示され、図2(b)には、図2(a)のA-A'部分の素子断面構造が示されている。同図においては、上記MAT0とMAT1間に設けられるセンスアンプSA領域のレイアウト及び断面は省略されている。

## 【0021】

ACTはMOSFETの活性領域であり、SNCTはメモリセルの蓄積ノードSNと活性化領域ACTに形成されるMOSFETの上記蓄積ノードSNに対応したソース、ドレイン拡散層とを接続するプラグ状のコンタクト（接続部）であり、BLCTはビット線BLと活性化領域ACTに形成されるMOSFETのビット線BLに対応したメモリセルの入出力端子に対応したソース、ドレイン拡散層とを接続するプラグ状のコンタクト（接続部）である。CPは記憶キャパシタの容量絶縁膜を示す。

## 【0022】



実施例の技術では、ビット線BLは第1層目金属層M1から構成される。サブワード線WLは、1層目ポリシリコン層FGから構成される。上記コンタクトSCNT及びBLCTは、タングステン、ポリシリコン等から選ばれ、限られた面積に沢山の数のメモリセルを設けることができるよう、微細な寸法に設定される。コンタクトSNCT、BLCTと、それらが電氣的につながれるべき領域、層との間の接合面積は、ホトリソグラフィ技術上の位置合わせ誤差や、加工上の寸法変動等によって、比較的大きく変化してしまう可能性を持つ。そのため、コンタクトSNCT、BLCTは、比較的大きい寄生抵抗を持ってしまうたり、比較的大きなプロセスバラツキを持ってしまうたりする。かかるコンタクトSNCT及びBLCTでの寄生抵抗によって、後述するような書き込み不良ビット（不良メモリセル）が発生する。

## 【0023】

サブアレイMAT0における複数のメモリセルのためのキャパシタは、それぞれの一方の電極が、図2（b）で示されたようなプレート電極PLによって電氣的に共通化される。同様に、サブアレイMAT1における複数のキャパシタの一方の電極もまたプレート電極PLに共通化される。特に制限されないが、センスアンプSAの両側に設けられるサブアレイMAT0とMAT1のプレート電極PLをセンスアンプSA上で切らずに、プレート電極PLを構成する電極それ自体で接続する。これにより、サブアレイMAT0のプレート電極PLとサブアレイMAT1のプレート電極PL間の抵抗を大幅に低減することが可能になる。メモリセルはCOB（Capacitor over Bitline）構造を用いている。すなわち、蓄積ノードSNをビット線BL上部に設ける。このことによって、プレート電極PLはサブアレイMAT中でビット線BLと上記アドレス選択MOSFETの接続部BLCTにより分断されることなく、1枚の平面状に形成することができるため、プレート電極PLの抵抗を低減することが可能である。

## 【0024】

このようなサブアレイMAT0側のプレーと電極PLとサブアレイMAT1側のプレート電極PLとを低抵抗結合させる技術は、いわゆる1交点方式ないしオープンビット線方式と称される構成のダイナミック型RAMにおいて、特に注目

してよい。すなわち、センスアンプSAの動作時などにおいて不所望なカップリング容量を介してサブアレイMAT0側のプレート電極PLに与えられてしまう電位変動と、サブアレイMAT1側のプレート電極に与えられてしまう電位変動とは、それらプレート電極相互の低抵抗結合によって比較的小さく抑えられるからである。

## 【0025】

この実施例では、図2(b)に示すように、プレート電極PLがPL(D)とPL(U)のような積層構造とされ、かかるプレート電極PLのシート抵抗値を下げることでMAT0, MAT1のプレート間で発生するノイズ低減に有利である。一例として、記憶キャパシタの容量絶縁膜CPにBSTやTa<sub>2</sub>O<sub>5</sub>のような高誘電体膜を用いた場合、下部電極(蓄積ノード)SN及び上部電極下層PL(D)にはRuを用いると、記憶キャパシタCSの容量を高めることができる。Ruは従来用いられていたポリSiに比べるとシート抵抗値が低いため、プレート電極PLの抵抗値を下げる事が出来る。

## 【0026】

さらに、この構造にプレート電極PL(U)としてWを積層すると、プレート電極PLの抵抗値をさらに下げることができる。このようにして、プレート電極PL自体の抵抗値を下げると、プレート電極PLにのったノイズが打ち消される速度が高速化され、プレート電極PLノイズが低減される。また、プレート電極PL(D)としてはTiNを用いてもよい。この場合も上記と同様の効果が得られる。

## 【0027】

図3には、この発明に係るダイナミック型RAMのセンスアンプ部の一実施例の回路図が示されている。センスアンプSAは、CMOSラッチ回路、すなわちゲートとドレインとの交差接続によってラッチ形態にされたNチャンネル型の増幅MOSFETQ5, Q6及びPチャンネル型の増幅MOSFETMOSFETQ7, Q8からなるCMOSラッチ回路で構成される。Nチャンネル型MOSFETQ5とQ6のソースは、共通ソース線CSNに接続される。Pチャンネル型MOSFETQ7とQ8のソースは、共通ソース線CSPに接続される。

## 【 0 0 2 8 】

上記共通ソース線CSNとCSPには、それぞれパワースイッチMOSFET Q3とQ4が接続される。特に制限されないが、Nチャンネル型の増幅MOSFET Q5とQ6のソースが接続された共通ソース線CSNには、かかるセンスアンプ領域に分散して配置されたNチャンネル型のパワースイッチMOSFET Q3により接地電位供給線VSSAが与えられる。上記Pチャンネル型の増幅MOSFET Q7とQ8のソースが接続された共通ソース線CSPには、Nチャンネル型のパワーMOSFET Q4が設けられて動作電圧VDDが与えられる。

## 【 0 0 2 9 】

上記Nチャンネル型のパワーMOSFET Q3とQ4のゲートには、センスアンプ活性化信号SANが供給される。特に制限されないが、SANのハイレベルは昇圧電圧VPPレベルの信号とされる。つまり、昇圧電圧VPPは、上記電源電圧VDDに対してMOSFET Q4のしきい値電圧以上に昇圧されたものであり、上記Nチャンネル型MOSFET Q4を十分にオン状態にして、その共通ソース線CSPの電位を上記電源電圧VDDにすることができる。

## 【 0 0 3 0 】

上記センスアンプSAの入出力ノードには、相補ビット線BL0TとBL0Bを短絡させるイコライズMOSFET Q11と、相補ビット線BL0TとBL0Bにハーフプリチャージ電圧VBLRを供給するスイッチMOSFET Q9とQ10からなるプリチャージ（イコライズ）回路が設けられる。これらのMOSFET Q9～Q11のゲートは、共通にプリチャージ（ビット線イコライズ）信号BLEQが供給される。

## 【 0 0 3 1 】

このプリチャージ信号BLEQを形成するドライバ回路は、図示しないが、上記図1に示したクロスエリア18に分散配置された複数のインバータ回路を含み、該プリチャージ信号BLEQの立ち上がりや立ち下がり的高速にする。つまり、メモリアクセスの開始時にワード線選択タイミングに先行して、各クロスエリア18に分散して設けられたインバータ回路を通して上記プリチャージ回路を構成するMOSFET Q9～Q11を高速に切り替えるようにするものである。上

記MOSFET Q11のコンタクト抵抗やしきい値電圧 $V_{th}$ のバラツキに起因して、プリチャージ回路の駆動能力が弱いものになってしまうと、イコライズに要する時間が長くなりプリチャージ不良が発生してしまう。

#### 【0032】

センスアンプSAの一对の入出力ノードは、相補ビット線BL0T, BL0Bに接続されることその他、MOSFET Q1とQ2からなるカラム(Y)スイッチ回路を介してセンスアンプ列に沿って延長されるローカル(サブ)入出力線SIO(SIO0TとSIO0BBとからなる)に接続される。上記MOSFET Q1とQ2のゲートは、カラム選択線YSに接続され、かかるカラム選択線YSが選択レベル(ハイレベル)にされるとオン状態となり、上記センスアンプSAの入出力ノードとローカル入出力線SIO0TとSIO0Bを接続させる。隣接するビット線も上記同じカラム選択線YSによりスイッチ制御される上記同様なスイッチ回路を介してローカル入出力線SIO1TとSIO1Bに接続される。

#### 【0033】

これにより、センスアンプSAの入出力ノードは、それを挟んで設けられる2つのサブアレイ(例えばMAT0とMAT1)のうち、選択されたサブアレイのワード線との交点に接続されたメモリセルの記憶電荷に対応して変化するビット線のハーフプリチャージ電圧に対する微小な電圧変化を、非選択とされたサブアレイ側のビット線のハーフプリチャージ電圧を参照電圧として増幅できるようにされる。相補ビット線のデータ信号は、上記カラム選択線YSにより選択されたものが、上記カラムスイッチ回路(Q1とQ2)等を通してローカル入出力線SIO0T, SIO0B及びSIO1T, SIO1Bに伝えられる。

#### 【0034】

前記図1のように、上記ローカル入出力線SIO0TとSIO0B及びSIO1TとSIO1Bがメインワード線の延長方向に並ぶセンスアンプ列上を延長される。サブ増幅回路を介して増幅された信号が、かかるローカル入出力線と同一方向に延長されるメイン入出力線を通してメインワードドライバMWD部に設けられたメインアンプに伝えられて、例えば、前記メモリチップ上で4分割されてなる1つのメモリアレイにおいて、前記サブアレイの分割数に対応して16ビッ

ト単位で平行に出力される。上記4に分割されてなるメモリアレイは、後述するようにそれぞれがメモリバンクを構成するようにされる。

#### 【0035】

図4には、この発明に係るダイナミック型RAMの一実施例のブロック図が示されている。この実施例におけるダイナミック型RAMは、DDR SDRAM (Double Data Rate Synchronous Dynamic Random Access Memory ; 以下単にDDR SDRAMという) に向けられている。この実施例のDDR SDRAMは、特に制限されないが、4つのメモリバンクに対応して4つのメモリアレイ200A~200Dが設けられる。4つのメモリバンク0~3にそれぞれ対応されたメモリアレイ200A~200Dは、その内部にマトリクス配置されたダイナミック型メモリセルを備える。図に従えば同一列に配置されたメモリセルの選択端子は列毎のワード線(図示せず)に結合され、同一行に配置されたメモリセルのデータ入出力端子は行毎に相補データ線(図示せず)に結合される。

#### 【0036】

上記メモリアレイ200Aの図示しないワード線は行(ロウ)デコーダ(Row DEC) 201Aによるロウアドレス信号のデコード結果に従った1本が選択レベルに駆動される。メモリアレイ200Aの図示しない相補データ線はセンスアンプ (Sense AMP) 202A及びカラム選択回路(Column DEC) 203AのI/O線に結合される。センスアンプ202Aは、メモリセルからのデータ読出しによって夫々の相補データ線に現れる微小電位差を検出して増幅する増幅回路である。カラム選択回路203Aは、上記相補データ線を各別を選択して相補I/O線に導通させるためのスイッチ回路を含む。カラムスイッチ回路はカラムデコーダ203Aによるカラムアドレス信号のデコード結果に従って選択動作される。

#### 【0037】

メモリアレイ200Bないし200Dのそれぞれに対しても同様に、ロウデコーダ201B~D、センスアンプ203B~D及びカラム選択回路203B~Dが設けられる。上記相補I/O線は各メモリバンクに対して共通化されて、ライトバッファを持つデータ入力回路(Din Buffer) 210の出力端子及びメインアンプを含むデータ出力回路 (Dout Buffer) 211の入力端子に接続される。端子D

Qは、特に制限されないが、16ビットからなるデータD0-D15を入力又は出力するデータ入出力端子とされる。DQSバッファ(DQS Buffer) 215は、読み出し動作のときに上記端子DQから出力するデータのデータストローブ信号を形成する。

#### 【0038】

アドレス入力端子から供給されるアドレス信号A0-A14は、ロウ系アドレス信号とカラム系アドレス信号との時系列信号であり、アドレスバッファ(Address Buffer) 204で一旦保持され、時系列的に入力される上記アドレス信号のうち、ロウ系アドレス信号はロウアドレスバッファ(Row Address Buffer) 205に保持され、カラム系アドレス信号はカラムアドレスバッファ(Column Address Buffer) 206に保持される。リフレッシュカウンタ(Refresh Counter) 208は、オートマチックリフレッシュ(Automatic Refresh)及びセルフリフレッシュ(Self Refresh)時の行アドレスを発生する。

#### 【0039】

図示のRAMが、例えば、256Mビットのような記憶容量を持つ場合、カラムアドレス信号としては、2ビット単位でのメモリアクセスを行うようにするためには、アドレス信号A14を入力するアドレス端子が設けられる。×4ビット構成では、アドレス信号A11まで有効とされ、×8ビット構成ではアドレス信号A10までが有効とされ、×16ビット構成ではアドレス信号A9までが有効とされる。64Mビットのような記憶容量の場合には、×4ビット構成では、アドレス信号A10まで有効とされ、×8ビット構成ではアドレス信号A9までが有効とされ、そして図のように×16ビット構成ではアドレス信号A8までが有効とされる。

#### 【0040】

上記カラムアドレスバッファ206の出力は、カラムアドレスカウンタ(Column Address Counter) 207にプリセットデータとして供給される。列(カラム)アドレスカウンタ207は後述のコマンドなどで指定されるバーストモードにおいて上記プリセットデータとしてのカラムアドレス信号、又はそのカラムアドレス信号を順次インクリメントした値を、カラムデコーダ203A~203Dに

向けて出力する。

#### 【 0 0 4 1 】

モードレジスタ (Mode Register) 2 1 3 は、各種動作モード情報を保持する。上記ロウデコーダ (Row Decoder) 2 0 1 A ないし D は、バンクセレクト (Bank Select) 回路 2 1 2 で指定されたバンクに対応したもののみが動作し、ワード線の選択動作を行わせる。コントロール回路 (Control Logic) 2 0 9 は、特に制限されないが、クロック信号 CLK、/CLK (記号 / はこれが付された信号がロウイネーブルの信号であることを意味する)、クロックイネーブル信号 CKE、チップセレクト信号 /CS、カラムアドレスストローブ信号 /CAS、ロウアドレスストローブ信号 /RAS、及びライトイネーブル信号 /WE などの外部制御信号と、/DM 及び DQS とモードレジスタ 2 1 3 を介したアドレス信号とが供給され、それらの信号のレベルの変化やタイミングなどに基づいて DDR SDRAM の動作モード及び上記回路ブロックの動作を制御するための内部タイミング信号を形成するもので、それぞれに信号に対等した入力バッファを備える。

#### 【 0 0 4 2 】

クロック信号 CLK と /CLK は、クロックバッファを介して DLL (Delayed Lock Loop) 回路 2 1 4 に入力され、かかる回路 2 1 4 によって内部クロックが発生される。上記内部クロックは、特に制限されないが、データ出力回路 2 1 1 と DQS バッファ 2 1 5 の入力信号として用いられる。また、上記クロックバッファを介したクロック信号はデータ入力回路 2 1 0 や、列アドレスカウンタ 2 0 7 に供給されるクロック端子に供給される。

#### 【 0 0 4 3 】

他の外部入力信号は当該内部クロック信号の立ち上がりエッジに同期して有効とされる。チップセレクト信号 /CS はそのロウレベルによってコマンド入力サイクルの開始を指示する。チップセレクト信号 /CS がハイレベルのとき (すなわち、チップ非選択状態のとき) やその他の入力は無意味を持つ。但し、後述するメモリバンクの選択状態やバースト動作などの内部動作はチップ非選択状態への変化によって影響されない。/RAS、/CAS、/WE の各信号は通常の DRAM における対応信号とは機能が相違し、後述するコマンドサイクルを定義

するときには有意の信号とされる。

【0044】

クロックイネーブル信号CKEは次のクロック信号の有効性を指示する信号であり、当該信号CKEがハイレベルであれば次のクロック信号CLKの立ち上がりエッジが有効とされ、ロウレベルのときには無効とされる。なお、リードモードにおいて、データ出力回路211に対するアウトプットイネーブルの制御を行う外部制御信号/OEを設けた場合には、かかる信号/OEもコントロール回路209に供給され、その信号が例えばハイレベルのときにはデータ出力回路211は高出力インピーダンス状態にされる。

【0045】

上記ロウアドレス信号は、クロック信号CLK（内部クロック信号）の立ち上がりエッジに同期する後述のロウアドレスストローブ・バンクアクティブコマンドサイクルにおけるA0～A11のレベルによって定義される。

【0046】

アドレス信号A12とA13は、上記ロウアドレスストローブ・バンクアクティブコマンドサイクルにおいてバンク選択信号とみなされる。即ち、A12とA13の組み合わせにより、4つのメモリバンク0～3のうちの1つが選択される。メモリバンクの選択制御は、特に制限されないが、選択メモリバンク側のロウデコーダのみの活性化、非選択メモリバンク側のカラムスイッチ回路の全非選択、選択メモリバンク側のみのデータ入力回路210及びデータ出力回路への接続などの処理によって行うことができる。

【0047】

上記カラムアドレス信号は、前記のように256Mビットで×16ビット構成の場合には、クロック信号CLK（内部クロック）の立ち上がりエッジに同期するリード又はライトコマンド（後述のカラムアドレス・リードコマンド、カラムアドレス・ライトコマンド）サイクルにおけるA0～A9のレベルによって定義される。そして、この様にして定義されたカラムアドレスはバーストアクセスのスタートアドレスとされる。

【0048】



DDR SDRAMにおいては、1つのメモリバンクでバースト動作が行われているとき、その途中で別のメモリバンクを指定して、ロウアドレスストローブ・バンクアクティブコマンドが供給されると、当該実行中の一方のメモリバンクでの動作には何ら影響を与えることなく、当該別のメモリバンクにおけるロウアドレス系の動作が可能にされる。

## 【0049】

したがって、例えば16ビットからなるデータ入出力端子においてデータD0～D15が衝突しない限り、処理が終了していないコマンド実行中に、当該実行中のコマンドが処理対象とするメモリバンクとは異なるメモリバンクに対するプリチャージコマンド、ロウアドレスストローブ・バンクアクティブコマンドを発行して、内部動作を予め開始させることが可能である。この実施例のDDR SDRAMは、上記のように16ビットの単位でのメモリアクセスを行い、A0～A11のアドレスにより約4Mのアドレスを持ち、4つのメモリバンクで構成されることから、全体では約256Mビット（4M×4バンク×16ビット）のような記憶容量を持つようにされる。

## 【0050】

DDR SDRAMの詳細な読み出し動作は、次の通りである。チップセレクト／CS、ロウアドレスストローブ／RAS、カラムアドレスストローブ／CAS、ライトイネーブル／WEの各信号はCLK信号に同期して入力される。／RAS=0と同時に行アドレスとバンク選択信号が入力され、それぞれロウアドレスバッファ205とバンクセレクト回路212で保持される。バンクセレクト回路212で指定されたバンクのロウデコーダ210がロウアドレス信号をデコードしてメモリセルアレイ200から行全体のデータが微小信号として出力される。出力された微小信号はセンスアンプ202によって増幅、保持される。指定されたバンクはアクティブ（Active）になる。

## 【0051】

行アドレス入力から3CLK後、CAS=0と同時に列アドレスとバンク選択信号が入力され、それぞれがカラムアドレスバッファ206とバンクセレクト回路212で保持される。指定されたバンクがアクティブであれば、保持された列

アドレスがカラムアドレスカウンタ 2 0 7 から出力され、カラムデコーダ 2 0 3 が列を選択する。選択されたデータがセンスアンプ 2 0 2 から出力される。このとき出力されるデータは 2 組分である（× 4 ビット構成では 8 ビット、× 1 6 ビット構成では 3 2 ビット）。

#### 【 0 0 5 2 】

センスアンプ 2 0 2 から出力されたデータはデータバス Data Bus を介してデータ出力回路 2 1 1 からチップ外へ出力される。出力タイミングは D L L 2 1 4 から出力される Q C L K の立上がり、立ち下がりの両エッジに同期する。この時、上記のように 2 組分のデータはパラレル→シリアル変換され、1 組分× 2 のデータとなる。データ出力と同時に、D Q S バッファ 2 1 5 からデータストローブ信号 D Q S が出力される。モードレジスタ 2 1 3 に保存されているバースト長が 4 以上の場合、カラムアドレスカウンタ 2 0 7 は自動的にアドレスをインクリメントされて、次の列データを読み出すようにされる。

#### 【 0 0 5 3 】

上記 D L L 2 1 4 の役割は、データ出力回路 2 1 1 と、D Q S バッファ 2 1 5 の動作クロックを生成する。上記データ出力回路 2 1 1 と D Q S バッファ 2 1 5 は、D L L 2 1 4 で生成された内部クロック信号が入力されてから、実際にデータ信号やデータストローブ信号が出力されるまでに時間がかかる。そのため、適当なレプリカ回路を用いて内部クロック信号の位相を外部 C L K よりも進める事により、データ信号やデータストローブ信号の位相を外部クロック C L K に一致させる。したがって、上記 D Q S バッファは、上記のようなデータ出力動作以外有的时候には、出力ハイインピーダンス状態にされる。

#### 【 0 0 5 4 】

書き込み動作のときには、上記 D D R S D R A M の D Q S バッファ 2 1 5 が出力ハイインピーダンス状態であるので、上記端子 D Q S にはマクロプロセッサ等のようなデータ処理装置からデータストローブ信号 D Q S が入力され、端子 D Q にはそれに同期した書き込みデータが入力される。データ入力回路 2 1 0 は、上記端子 D Q から入力された書き込みデータを、上記端子 D Q S から入力されたデータストローブ信号に基づいて形成されたクロック信号により、前記のように

シリアルに取り込み、クロック信号CLKに同期してパラレルに変換して、データバスData Busを介して選択されたメモリバンクに伝えられて、かかるメモリバンクの選択されたメモリセルに書き込まれる。

## 【0055】

この実施例では、上記のような高速なDDR SDRAMを低速なテスト装置を用いて、実動作状態と等価な高速動作試験を可能にするためのテスト専用クロック端子DGCLKが設けられる。このテスト専用クロック端子は、半導体集積回路装置の外部端子として設けることの他、少なくともプロービング工程においてテスト用クロック信号を供給することができる単なる針当て用の電極から構成してもよい。テスト専用クロックDGCLKに関連するコントロール回路209内の回路は、後の実施例の対応する回路と同じくされて良く、後で図6、他に基づいて説明される。

## 【0056】

図5には、この発明が適用された論理混載メモリ集積回路の一実施例の基板配置図が示されている。同図をもとに、まずこの実施例の論理混載メモリ集積回路のブロック構成及び基板配置の概要について説明する。なお、この実施例の論理混載メモリ集積回路は、特に制限されないが、コンピュータシステムの所定のボードに搭載され、例えばそのキャッシュメモリを構成する。また、論理混載メモリ集積回路の基板配置に関する以下の記述では、図5の位置関係をもって半導体基板CHIP面での上下左右を表す。

## 【0057】

図5において、本実施例の論理混載メモリ集積回路は、特に制限されないが、半導体基板CHIPの上辺側に配置される4個の機能ブロックつまりDRAMマクロセルDRAM0～DRAM3と、下辺側に配置される4個のDRAMマクロセルDRAM4～DRAM7とを備える。これらのDRAMマクロセルのそれぞれは、DFT回路(DFT: Design For Test)を備え、特に制限されないが、64KW(キロワード)×288b(ビット)の記憶容量を有する。

## 【0058】

論理混載メモリ集積回路は、さらに、各DRAMマクロセルの内側にそれぞれ配置される8個のSRAMマクロセルSRAM0～SRAM7と、半導体基板CHIPの中央部に配置されるもう1個のSRAMマクロセルSRAM8とを備える。SRAMマクロセルSRAM0～SRAM3ならびにSRAM4～SRAM7の内側には、半導体基板CHIPの横の中心線に沿って、多数の入出力セルI/OCが列状に配置され、これらの入出力セルI/OC及びSRAMマクロセルの間には、図示されない多数のゲートアレイとチップ端子に対応するパッドPADとを含む論理部LCが配置される。論理部LCのゲートアレイは、ユーザ仕様に基づいて組み合わされ、所定の論理回路を構成する。また、パッドPADは、パッケージに形成された配線層を介して対応するバンプに結合され、論理混載メモリ集積回路のDRAMマクロセルのアクセス評価に関するプローブ試験が行われるときには、試験装置との間を接続するための接触端子となる。

## 【0059】

この実施例のDRAMマクロセルの構成は、前記図1ないし図3に示した実施例と同様なもので構成される。ただし、ビット線の構成は、前記のような1交点方式でもよいし、あるいは一对の相補ビット線を平行に延長させる2交点方式としてもよい。この2交点方式では、そのメモリセルの読み出し書き込み動作において、1つのセンスアンプに対して左右に設けられた相補ビット線を選択的に接続させるというシェアドセンスアンプ方式を採用することができる。

## 【0060】

この実施例のDRAMマクロセルでは、特に制限されないが、試験動作時にスキャンイン端子からDRAMマクロセルの各ラッチ及びバッファに対して所望の試験データをシリアルに入力できるとともに、各ラッチ又はバッファに保持されるデータをスキャンアウト端子を介してシリアルに出力することができ、これによってDRAMマクロセルの試験診断を効率良く実施できるようにされる。つまり、DRAMマクロセルが試験診断のためのテストモードとされるときには、その保持データ又はマクロセル入力端子からシリアルに入力されるスキャンインデータを内部スキャンクロック信号に従って順次シフトし、出力データラッチに伝達する。

## 【 0 0 6 1 】

図 6 には、この発明に係る論理混載メモリ集積回路の内部 R A S 生成回路の一実施例の概略回路図が示されている。同図には、テストも含わせて例示的に示されている。セレクトは、論理混載メモリ集積回路が通常の動作モードとされるとき、D R A M 制御論理で形成された信号を選択して D R A M マクロの R A S 端子に供給する。同様なセレクトが他の端子にも設けられており、コマンドを構成する他の信号 R A S , W E 等の入力と、アドレス信号の入力、書き込みデータの入力が D R A M 制御論理からおこなわれ、読み出し信号が D R A M 制御論理に伝えられる。

## 【 0 0 6 2 】

論理混載メモリ集積回路が D R A M マクロセルのアクセス評価のための試験モードとされるとき、セレクトはテストからの信号 R A S を D R A M マクロに伝える。他の同様な制御信号 R A S , W E 等も同様である。なお、クロック信号 C L K は、半導体集積回路装置（チップ）に供給されるクロック信号がそのまま利用される。つまり、通常動作時には、その動作に対応した高速クロック信号（例えば、3 3 3 M H z ）が供給される。テストモードではテストから、上記通常動作よりは遅いクロック信号（約 3 0 M H z ）が供給される。

## 【 0 0 6 3 】

これにより、テストモードでは、D R A M マクロの動作がかかる低速クロックにより遅い動作になってしまうので、前記のような回路の応答特性を評価することができない。そこで、内部 R A S 生成回路には、試験機能が持たせられるように次のような回路から構成される。R A S 信号は、クロック信号 C L K で動作するフリップフロップ回路 F F に取り込まれる。このフリップフロップ回路 F F に取り込まれた信号 R A S 1 は、内部 R A S 信号を形成する 2 つのナンド（N A N D ）構成の論理回路 G 1 と G 2 を用いて構成されたラッチ回路のセット信号とされる。この信号 R A S 1 を遅延回路 Delay により遅延させた信号 R A S 2 をナンド（N A D N ）構成の論理回路 G 3 を通して反転させて、上記ラッチ回路（G 1 , G 2 ）をリセットさせるリセット信号として用いる。

## 【 0 0 6 4 】

これにより、図 7 のタイミング図に示すように、通常動作時に、上記ラッチ回路 (G 1, G 2) で形成される内部 R A S は、C L K に同期して取り込まれた R A S 信号の活性レベル (ハイレベルからロウレベルへの変化) により、内部 R A S を活性化 (ハイレベルに変化) してメモリ選択動作を開始させ、C L K に同期して取り込まれた R A S 信号の非活性レベル (ロウレベルからハイレベルの変化) を遅延回路 Delay により遅延させて形成された信号 R A S 2 の非活性レベル (ロウレベルからハイレベルへの変化) により内部 R A S を非活性化してメモリ選択動作を終了させる。上記遅延回路 Delay は、上記メモリ動作期間を上記クロック信号 C L K に同期した R A S 信号の活性レベルから非活性レベルに至る時間に遅延時間 T D を加えるためのものであり、クロック信号 C L K の 1 周期に上記遅延時間がメモリ選択動作期間として設定される。

#### 【 0 0 6 5 】

しかしながら、この回路だけでは、テストの性能に対応したクロック信号で動作させようとする、クロック信号 C L K の周波数の周期に対応してメモリ動作期間が長くなり、メモリ動作期間の終了から次のメモリアクセス開始までの時間も同様に長くなり、テストモードにおいて上記通常動作時と同等のメモリ選択動作や、プリチャージ動作を行わせることができない。

#### 【 0 0 6 6 】

この実施例では、テスト専用クロック端子が設けられ、かかるテスト専用端子から供給されるテスト用クロック信号 D G C L K を前記 D F T 回路から供給されるテストモードフラッグによりゲートが制御されるナンド (N A N D) 構成の論理回路 G 4 を設け、その出力信号とリセット信号 R E S E T とをナンド (N A N D) 構成の論理回路 G 5 及びインバータ回路 I N 1 を介して上記ラッチ回路にリセット信号として入力する。テストモードのときに、上記ラッチ回路 (G 1, G 2) が上記信号 R A S 2 でリセットされてしまうのを防ぐために、テストモードフラッグをインバータ回路 I N 2 により反転して上記論理回路 G 3 の制御を行って上記信号 R A S 2 に無関係に出力信号をハイレベルに固定して、かかる信号 R A S 2 によるラッチ回路 (G 1, G 2) のリセット動作を停止させる。

#### 【 0 0 6 7 】

上記リセット信号 R E S E T は、論理混載メモリ集積回路に電源が投入されたとき、あるいはホスト側からのリセット信号により D R A M 制御論理等の論理回路のレジスタやラッチを初期化させるための信号であり、D R A M マクロのラッチ回路 ( G 1 , G 2 ) にも初期化のために入力される。それ故、本願において、追加される回路は、上記テスト用クロック端子 ( D G C L K ) と同図に点で示したように論理回路 G 3 ~ G 5 とインバータ回路 I N 2 を追加するだけでよい。

## 【 0 0 6 8 】

図 7 のタイミング図に示すように、テストモードのときに、上記ラッチ回路 ( G 1 , G 2 ) で形成される内部 R A S は、C L K に同期して取り込まれた R A S 信号の活性レベル ( ハイレベルからロウレベルへの変化 ) により、内部 R A S を活性化 ( ハイレベルに変化 ) してメモリ選択動作を開始させ、前記信号 R A S 2 に代えて、テスト専用クロック信号 D G C L K の活性レベル ( ハイレベルからロウレベルへの変化 ) により内部 R A S を非活性化してメモリ選択動作を終了させることができる。なお、イニシャライズ信号がロウレベルの活性化レベルにされると、上記ラッチ回路 ( G 1 , G 2 ) は、無条件でリセットさせられる。

## 【 0 0 6 9 】

この実施例では、前記のように通常モードでは外部から入力する R A S 信号とチップ内部の遅延回路 Delay により内部 R A S が生成されるが、D F T 回路により本発明のテストモードにエントリすると、テスト専用クロックの D G C L K の位相を変えることにより、自由に内部 R A S のリセットタイミングを制御することができる。この実施例に従えば、このような簡単な回路で、しかも、書き込み時間  $t_{RWL}$  とビット線プリチャージ時間  $t_{RP}$  を一つのモードで制御して試験することが可能になるものである。

## 【 0 0 7 0 】

図 8 には、この発明を説明するための動作波形図が示されている。同図は、書き込み不良試験に向けられており、ワード線 W L とビット線 B L はその時間関係を明確にするために、信号レベルを重ね合わせて示している。図 8 ( a ) に示したように、実動作 ( ここでは 3 3 3 M H z の例を示す ) では、1 クロックサイクルが 3 n s のように短いので、前記説明したようにメモリセルコンタクトの抵抗

の大きなビット（メモリセル）では、同図に点線で示したようにストレージノードがビット線と同電位になるには時間がかかり、フルライトされる前にワード線が立ち下がって書き込みを終了してしまうため、次の読み出しサイクルで十分なビット線信号量が得られず不良になる。

#### 【 0 0 7 1 】

一方、プロービング検査（P検）でのテストによる低速動作（ここでは33MHzの例を示す）では、クロックサイクルが30nsのように長くなるために、寄生抵抗の大きな不良ビットセルが存在しても、その不良ビットセルがフルライトされるまで十分長い時間を待ってからワード線WLが立ち下げられるため不良にはならない。ウエハ状態でのP検では、不良ビットを抽出し冗長セルで置換して救済を行うが、テストサイクルが33MHz程度と遅いためこれらの不良ビットを救済できず、選別で実動作させて初めて不良が分るため、みすみす不良チップに対して組み立てや選別を行うこととなって無駄な工数が増加し、歩留りを著しく低下させることになる。

#### 【 0 0 7 2 】

この実施例のDRAM及びDRAMマクロでは、テストモードを用いてワード線WLの立ち下げタイミングを通常クロック（CLK）のエッジトリガーからテスト専用クロック（DGCLK）のエッジトリガーに切換えることにより、同図で点線で示したように、低速テストでも高速実動作と同じタイミングでワード線WLを立ち下げ、ワード線WLの立ち下がり時間を時間TWだけ早めるようにして、上記実動作時と同じ書き込み時間にして試験が可能になり、かかる不良ビットを検出することができ、ウエハ状態でそれを救済することも可能となる。

#### 【 0 0 7 3 】

図9には、この発明を説明するための動作波形図が示されている。同図は、ビット線プリチャージ時間不良試験に向けられており、前記同様にワード線WLとビット線BLはその時間関係を明確にするために、信号レベルを重ね合わせて示している。図9（a）に示したように、実動作（ここでは333MHzの例を示す）では、1クロックサイクルが3nsのように短いので、前記説明したようにプリチャージMOSFETのコンタクト抵抗大やしきい値電圧 $V_{th}$ 大によりプ



リチャージの遅いビット線において、次の読み出しサイクルが始まるまでにプリチャージが終了せず、読み出しのビット線信号量を破壊するので不良になる。

## 【 0 0 7 4 】

一方、プロービング検査（P検）において、テストによってRAMを低速動作（ここでは33MHzの例を示す）させた場合は、クロックサイクルが30nsのように長くなるために、このようなプリチャージの遅いビット線でも完全にプリチャージされてから次の読み出しサイクルのワード線を立ちあげるため、不良にはならない。これも書き込み時間 $t_{RWL}$ の時と同様に救済できず、選別で実動作させて初めて不良が分るため、歩留りを著しく低下させるものである。

## 【 0 0 7 5 】

この実施例のDRAM及びDRAMマクロでは、前記書き込み時間 $t_{RWL}$ の時と同じテストモードを用い、ワード線WLの立ち下げタイミングを通常クロック（CLK）のエッジトリガーからテスト専用クロック（DGCLK）のエッジトリガーに切換えることにより、同図に点線で示したようにワード線WLの立ち下がり時間を時間TPだけ遅らせて、低速テストでも高速実動作と同じタイミングでワード線WLを立ち下げ、高速動作時と同じビット線プリチャージ時間にして試験が可能になり、かかる不良ビットを検出することができ、ウエハ状態でそれを救済することも可能となる。

## 【 0 0 7 6 】

図10には、この発明に係る半導体集積回路装置の製造方法の一実施例のフローチャート図が示されている。ウエハ上に後述するようなメモリ回路及びその救済回路を備えた半導体集積回路装置を形成し、通常まずDC（直流）特性のテストから入り、function（ファンクション）テストに入ってEasy（簡易）なパターンから順次厳しいパターンに進んでいく。ノイズマージン試験までは、テストによる低速クロックの試験でも十分不良を摘出できるが、高速クロックで動作させた時にのみ不良となる項目はAC（交流）テストの中で試験しており、本発明が適用されたテストモードでの前記図8及び図9に示された書き込み時間試験及びプリチャージ時間試験が実施される。

## 【 0 0 7 7 】

前記書き込み時間試験及びプリチャージ時間試験以外のACテストとしてはアクセスタイム試験がある。function試験全ての結果から不良アドレスを抽出して救済を行う。前記書き込み時間不良は、メモリセル自身の不良であるので冗長ワード線又は冗長ビット線への切り換えより救済され、上記プリチャージ不良はビット線不良であるので冗長ビット線への切り換えが実施される。

## 【 0 0 7 8 】

上記のような救済の可否を確認するため再度同じ試験、つまりDCテストと、function（ファンクション）テストでのEasy（簡易）なパターンから順次厳しいパターンに進み、電圧マージン及びノイズマージン試験を実施する。そして、前記救済の確認のために本発明が適用されたテストモードでの前記図8及び図9に示された書き込み時間試験及びプリチャージ時間試験が実施される。全ビットpassを確認してプローブ検査が終了する。その後、組立、選別を行い出荷する。

## 【 0 0 7 9 】

この実施例の製造工程では、組み立てや選別において、実動作状態で不良となるチップが除外されているから、組み立て及び選別に無駄が無く、選別歩留りを高くすることができる。そして、かかる不良チップの検出のために、特別な高速テストを開発する必要がないから、ACテストも低コストで実施することができる。なお、選別の中でも書き込み時間t<sub>RWL</sub>だけを独立に評価するために本願発明に係るテストモードを活用するものとしてもよい。

## 【 0 0 8 0 】

図11には、この発明に係るDRAMマクロの一実施例の概略ブロック図が示されている。図1の汎用DRAMにおいても、同様な救済回路が設けられる。この実施例は、ワード線及びビット線の救済回路に向けられている。メモリアレイは、正規ビット線及び正規ワード線の他に、冗長ワード線及び冗長ビット線を備えている。特に制限されないが、冗長ビット線は各メモリアレイに設けられ、冗長ワード線は複数のメモリアレイに対して1に纏めて設けられる。この場合、メインアンプ及びライトバッファに接続される入出力線（R I O及びW I O）が共通とする複数のメモリアレイに対して、上記冗長ワード線が共用できるように割り当てられる。

## 【0081】

Xアドレス比較回路及びYアドレス比較回路は、それぞれ不良ワード線及び不良ビット線に対応した不良アドレスを記憶しており、かかる不良ワード線及び不良ビット線に対応したアドレス信号XA及びYAが入力されると、Xプリデコーダ及びYプリデコーダに対して、不良ワード線及び不良ビット線の選択動作を禁止し、冗長ワード線及び冗長ビット線に置き換えるというX救済及びY救済に実施する。

## 【0082】

半導体集積回路装置LSIのDRAM制御論理生成回路は、上記DRAMマクロをアクセスするための前記コマンドCOMMNDを構成するRAS、CAS等及びアドレス信号XAとYAを形成する。クロックバッファCLKBは、通常動作のためのクロック信号CLKの他に、前記テストモードのときに使用するテスト用クロックDGCLKを入力する。このクロックDGCLKは、前記図6に示した回路を含む内部RAS生成回路に供給されて、前記のようなテストモードに用いられる。入出力回路IOCは、書き込み信号DINの入力と、読み出し信号DOUTの出力を行う。

## 【0083】

上記の実施例から得られる作用効果は、下記の通りである。

(1) 内部動作制御信号に応じて動作状態が制御される内部回路と、その内部動作制御信号を形成する制御回路とを備え、外部動作制御信号が供給される端子と、テスト専用タイミング信号とが供給される端子とに上記制御回路の入力を結合し、テストモードのときに上記外部動作制御信号の第1状態から第2状態への変化に应答して上記内部動作制御信号を第1制御状態から第2制御状態へ変化せしめ、かつ上記テスト専用タイミングに应答して上記内部動作制御信号を第1制御状態へ変化せしめ、通常動作モードのときに上記外部動作制御信号の第1状態から第2状態への変化に应答して上記内部動作制御信号を上記第1制御状態から上記第2制御状態へ変化せしめ、かつ上記外部動作制御信号の第1状態への変化に应答して上記内部動作制御信号を上記第1制御状態へ変化せしめるように制御可能とすることにより、簡単な構成のテストでの低速クロックを用いて実動作状

態と同等な高速テストが可能となり、高い信頼性での試験を実施することができるという効果が得られる。

【0084】

(2) 上記に加えて、上記クロック信号をテストモードにおいてはテスト装置の性能に対応して通常動作時に比べて低い周波数のクロック信号とし、上記テスト用タイミング信号を上記クロック信号との位相差が上記通常動作時のクロック信号の周波数に対応した内部動作制御信号を形成するものとすることにより、低速なテスト装置を用いて実動作状態に対応した高速動作と同等の試験を行うようにすることができるという効果が得られる。

【0085】

(3) メモリ選択動作制御のための動作制御信号、及び動作タイミング信号が供給される複数の信号ノードを持ち、上記動作制御信号に基づいてワード線選択動作、該ワード線選択動作に続くセンスアンプ動作、データ伝達動作を含むメモリ選択動作及びワード線選択動作の終了を含むメモリ選択動作の終了が行われ、かつ上記動作タイミング信号によってその内部動作の基準タイミングが設定されるメモリ回路をテストする方法として、テスト装置の性能に対応して通常のメモリ動作に比べて低い周波数のタイミング信号を用い、かかるテスト動作時のタイミング信号とテスト専用タイミング信号を組み合わせることにより、上記動作制御信号による動作期間の変更を行って上記メモリ回路の応答特性をテストすることにより、実動作状態に対応した高い信頼性の試験結果を得ることができるという効果が得られる。

【0086】

(4) メモリ選択動作制御のための動作制御信号、及び動作タイミング信号が供給される複数の信号ノードを持ち、上記動作制御信号に基づいてワード線選択動作、該ワード線選択動作に続くセンスアンプ動作、データ伝達動作を含むメモリ選択動作と、ワード線選択動作の終了を含むメモリ選択動作の終了が行われ、かつ上記動作タイミング信号によってその内部動作の基準タイミングが設定されるメモリ回路とその欠陥救済回路を備えてなる半導体集積回路装置の製造方法として、上記メモリ回路、上記欠陥救済回路が形成された半導体集積回路基板に対

して、テスト装置の性能に対応した通常動作に比べて低い周波数にしたタイミング信号とテスト専用タイミング信号との組み合わせにより、上記メモリ回路の動作期間を制御せしめ、かかる動作期間の制御によって上記メモリ回路の応答特性をテストし、そのテスト結果に基づいて上記メモリ回路の欠陥救済を決定し、上記欠陥救済回路によって救済せしめることにより、選別歩留りを高くすることができるという効果が得られる。

## 【 0 0 8 7 】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、メモリセルやプリチャージMOSFETは、前記のようにメモリセルとビット線とのコンタクトでの寄生抵抗が大きく、そのプロセスバラツキの大きなものに同様に適用することができる。DRAMのインターフェイスは、前記のようなDDR SDRAMに限定されるものではなく、SDRAM等クロックに同期してメモリアクセスを行うものに広く利用することができる。この発明は、前記のようなメモリセルを含む半導体集積回路装置とそのテスト方法及び製造方法に広く利用することができる。

## 【 0 0 8 8 】

## 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。内部動作制御信号に応じて動作状態が制御される内部回路と、その内部動作制御信号を形成する制御回路とを備え、外部動作制御信号が供給される端子と、テスト専用タイミング信号とが供給される端子とに上記制御回路の入力を結合し、テストモードのときに上記外部動作制御信号の第1状態から第2状態への変化に応答して上記内部動作制御信号を第1制御状態から第2制御状態へ変化せしめ、かつ上記テスト専用タイミングに응答して上記内部動作制御信号を第1制御状態へ変化せしめ、通常動作モードのときに上記外部動作制御信号の第1状態から第2状態への変化に응答して上記内部動作制御信号を上記第1制御状態から上記第2制御状態へ変化せしめ、かつ上記外部動作制御信号の第1状態への変化に응答して上記内部動作制御信号を上記第1制御状態

へ変化せしめるように制御可能とすることにより、簡単な構成のテストでの低速クロックを用いて実動作状態と同等な高速テストが可能となり、高い信頼性での試験を実施することができる。

## 【 0 0 8 9 】

メモリ選択動作制御のための動作制御信号、及び動作タイミング信号が供給される複数の信号ノードを持ち、上記動作制御信号に基づいてワード線選択動作、該ワード線選択動作に続くセンスアンプ動作、データ伝達動作を含むメモリ選択動作及びワード線選択動作の終了を含むメモリ選択動作の終了が行われ、かつ上記動作タイミング信号によってその内部動作の基準タイミングが設定されるメモリ回路をテストする方法として、テスト装置の性能に対応して通常のメモリ動作に比べて低い周波数のタイミング信号を用い、かかるテスト動作時のタイミング信号とテスト専用タイミング信号を組み合わせることにより、上記動作制御信号による動作期間の変更を行って上記メモリ回路の応答特性をテストすることにより、実動作状態に対応した高い信頼性の試験結果を得ることができる。

## 【 0 0 9 0 】

メモリ選択動作制御のための動作制御信号、及び動作タイミング信号が供給される複数の信号ノードを持ち、上記動作制御信号に基づいてワード線選択動作、該ワード線選択動作に続くセンスアンプ動作、データ伝達動作を含むメモリ選択動作と、ワード線選択動作の終了を含むメモリ選択動作の終了が行われ、かつ上記動作タイミング信号によってその内部動作の基準タイミングが設定されるメモリ回路とその欠陥救済回路を備えてなる半導体集積回路装置の製造方法として、上記メモリ回路、上記欠陥救済回路が形成された半導体集積回路基板に対して、テスト装置の性能に対応した通常動作に比べて低い周波数にしたタイミング信号とテスト専用タイミング信号との組み合わせにより、上記メモリ回路の動作期間を制御せしめる制御によって上記メモリ回路の応答特性をテストし、そのテスト結果に基づいて上記メモリ回路の欠陥救済を決定し、上記欠陥救済回路によって救済せしめることにより、選別歩留りを高くすることができる。

【図面の簡単な説明】

【図 1】

この発明が適用されるダイナミック型RAMの一実施例を示す概略レイアウト図である。

【図 2】

この発明に係るダイナミック型RAMにおけるメモリセルの一実施例を示す説明図である。

【図 3】

この発明に係るダイナミック型RAMのセンスアンプ部の一実施例を示す回路図である。

【図 4】

この発明に係るダイナミック型RAMの一実施例を示すブロック図である。

【図 5】

この発明が適用された論理混載メモリ集積回路の一実施例を示す基板配置図である。

【図 6】

この発明に係る論理混載メモリ集積回路の内部RAS生成回路の一実施例を示す概略回路図である。

【図 7】

図 6 の内部RAS生成回路の動作を説明するためのタイミング図である。

【図 8】

この発明を説明するための書き込み不良試験に向けられた動作波形図である。

【図 9】

この発明を説明するためのビット線プリチャージ試験に向けられた動作波形図である。

【図 1 0】

この発明に係る半導体集積回路装置の製造方法の一実施例を示すフローチャート図である。

【図 1 1】

この発明に係るDRAMマクロの一実施例を示す概略ブロック図である。

【図 1 2】

DRAMのメモリセル及びセンスアンプ部の等価回路図である。

【符号の説明】

WL…サブワード線、BL…ビット線、ACT…活性領域、TC1、TC2…コンタクト部、SN…蓄積ノード、CONT…コンタクト部、CP…容量絶縁膜、BLCT…コンタクト部、M1～M3…金属配線層、Q1～Q11…MOSFET、

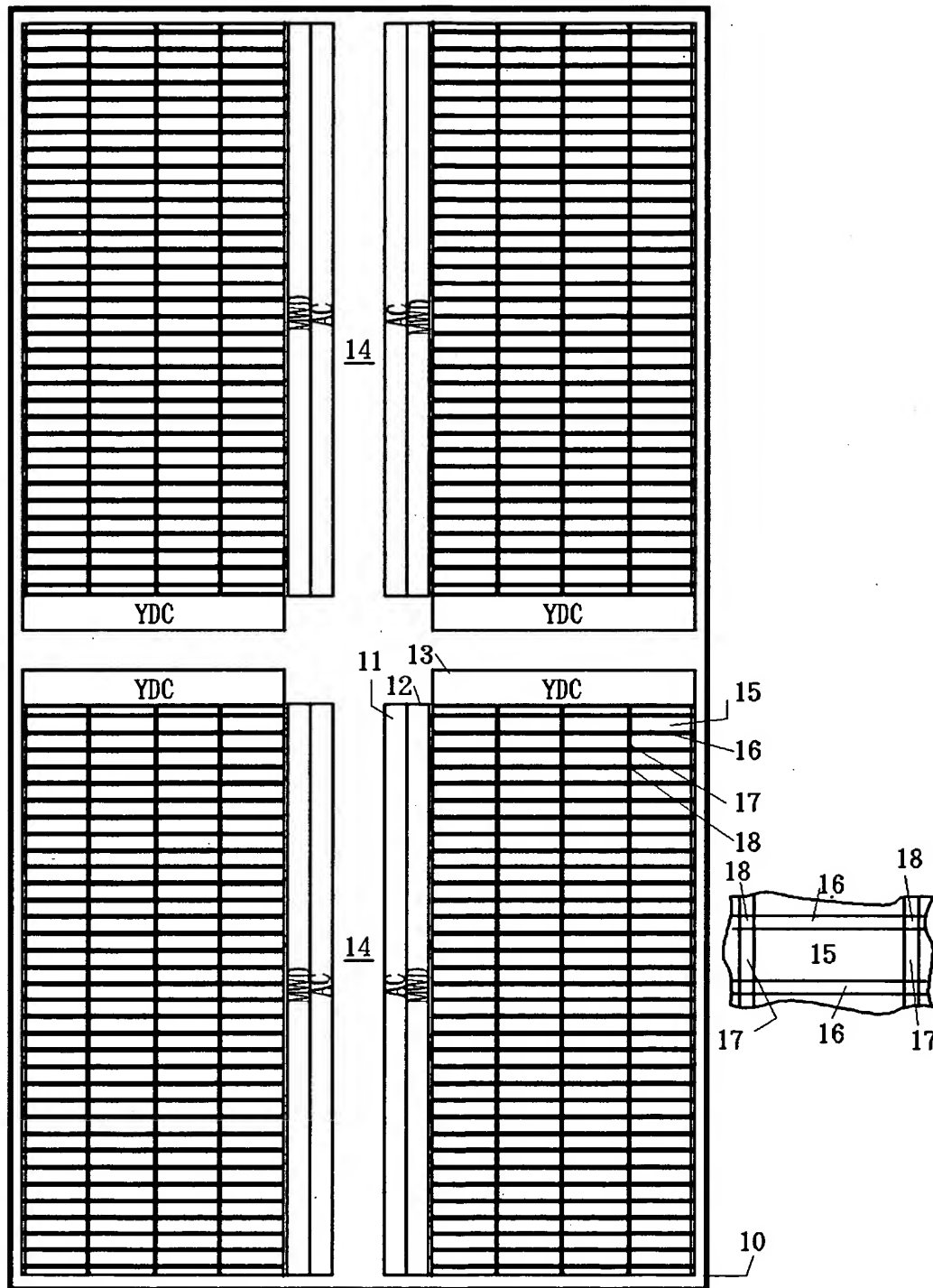
10…メモリチップ、11…アレイ制御回路、12…メインワードドライバ、13…カラムデコーダ、15…サブアレイ（メモリマット）、16…センスアンプ、17…サブワードドライバ、18…交差領域、

200A～D…メモリアレイ、201A～D…ロウデコーダ、202A～D…センスアンプ、203A～D…カラムデコーダ、204…アドレスバッファ、205…ロウアドレスバッファ、206…カラムアドレスバッファ、207…カラムアドレスカウンタ、208…リフレッシュカウンタ、209…コントロール回路、210…データ入力回路、211…データ出力回路、212…バンクセレクト回路、213…モードレジスタ、214…DLL、214…DQSバッファ、FF…フリップフロップ、Delay…遅延回路、G1～G5…論理回路。

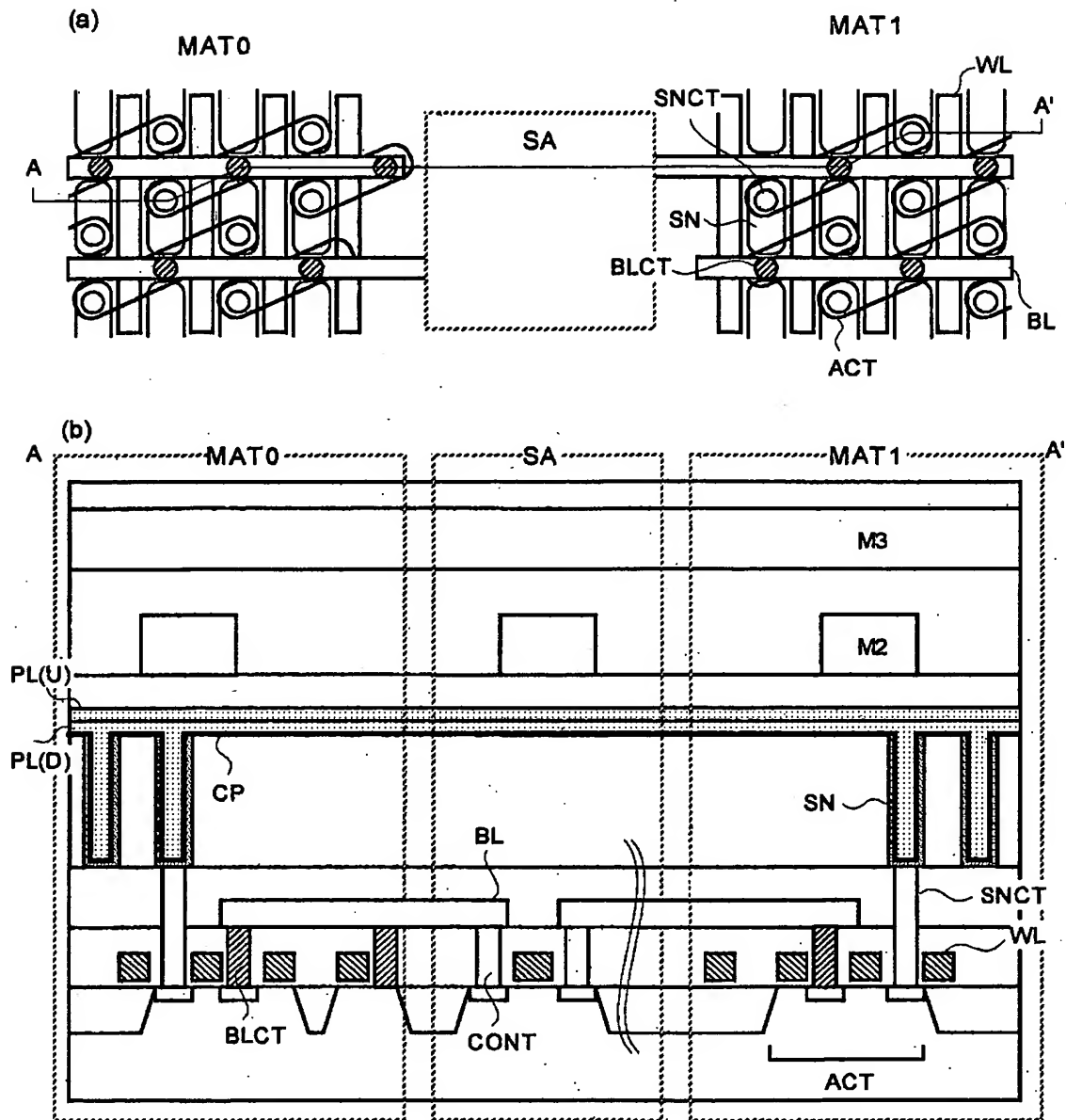


【書類名】 図面

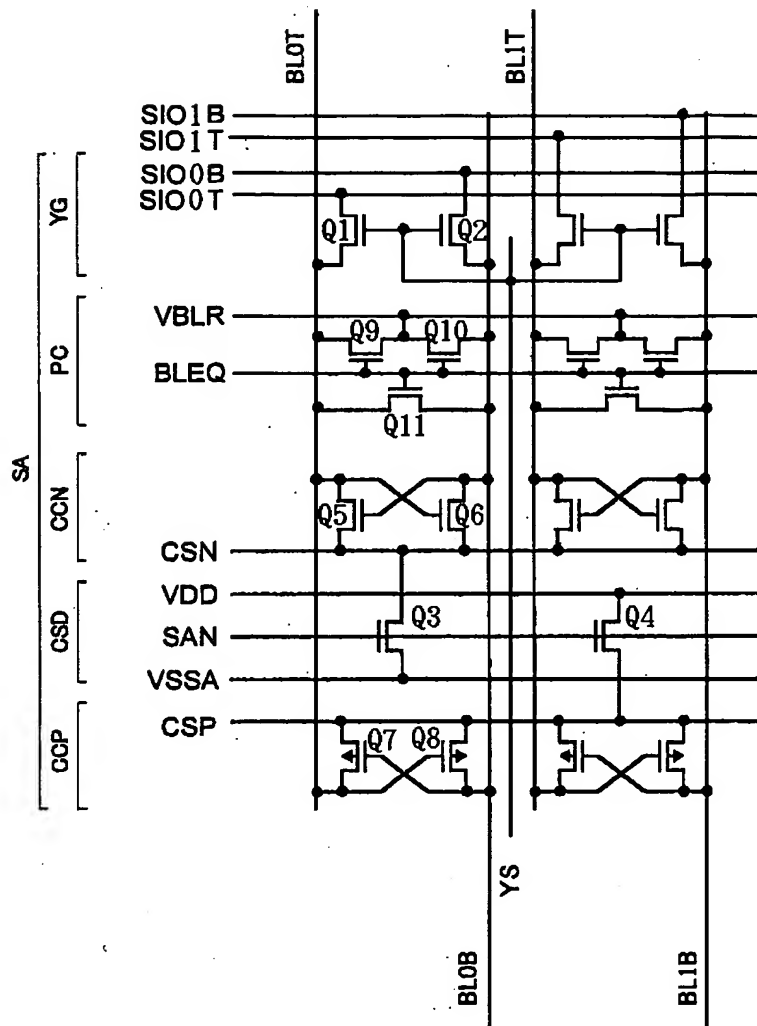
【図 1】



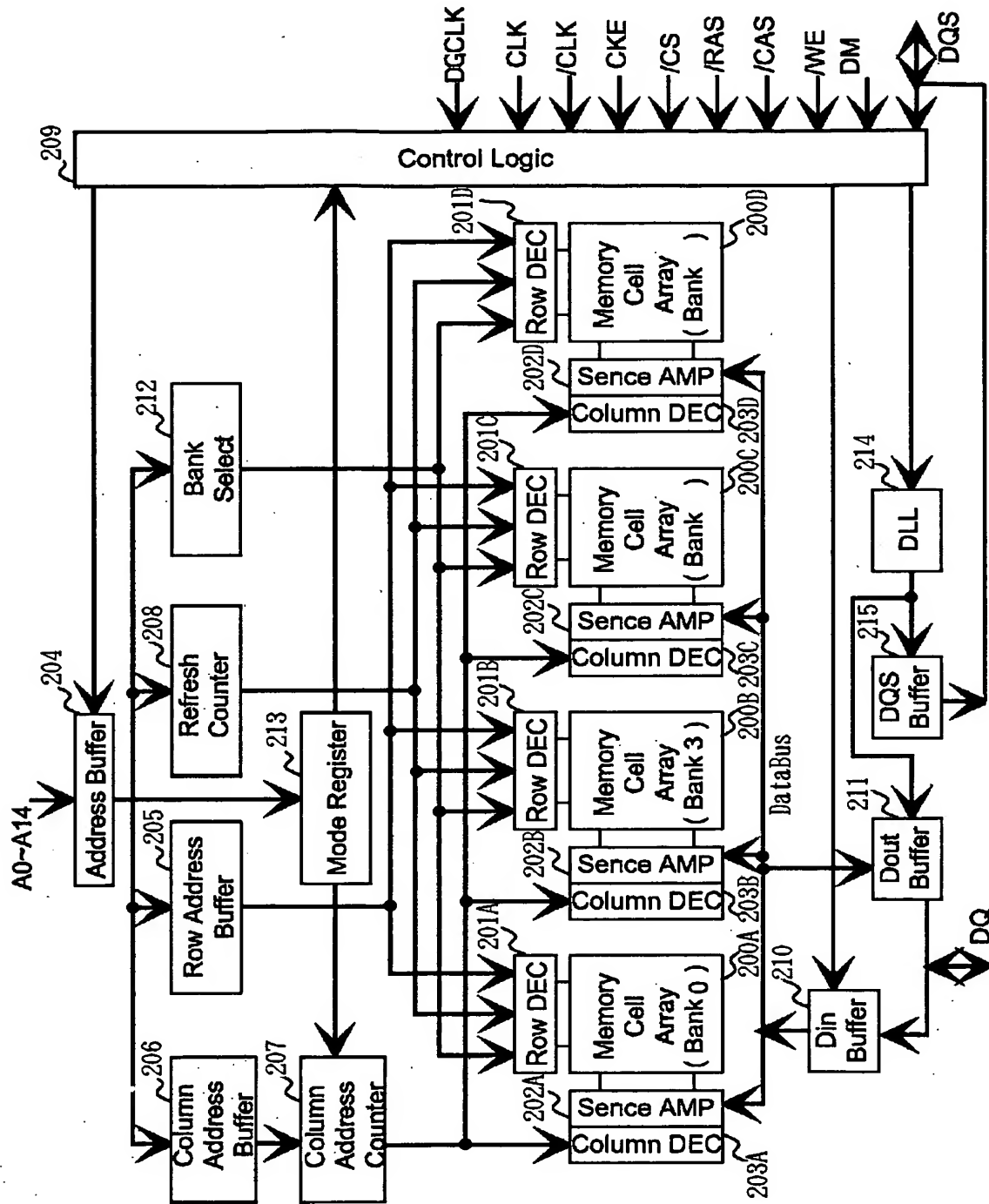
【図 2】



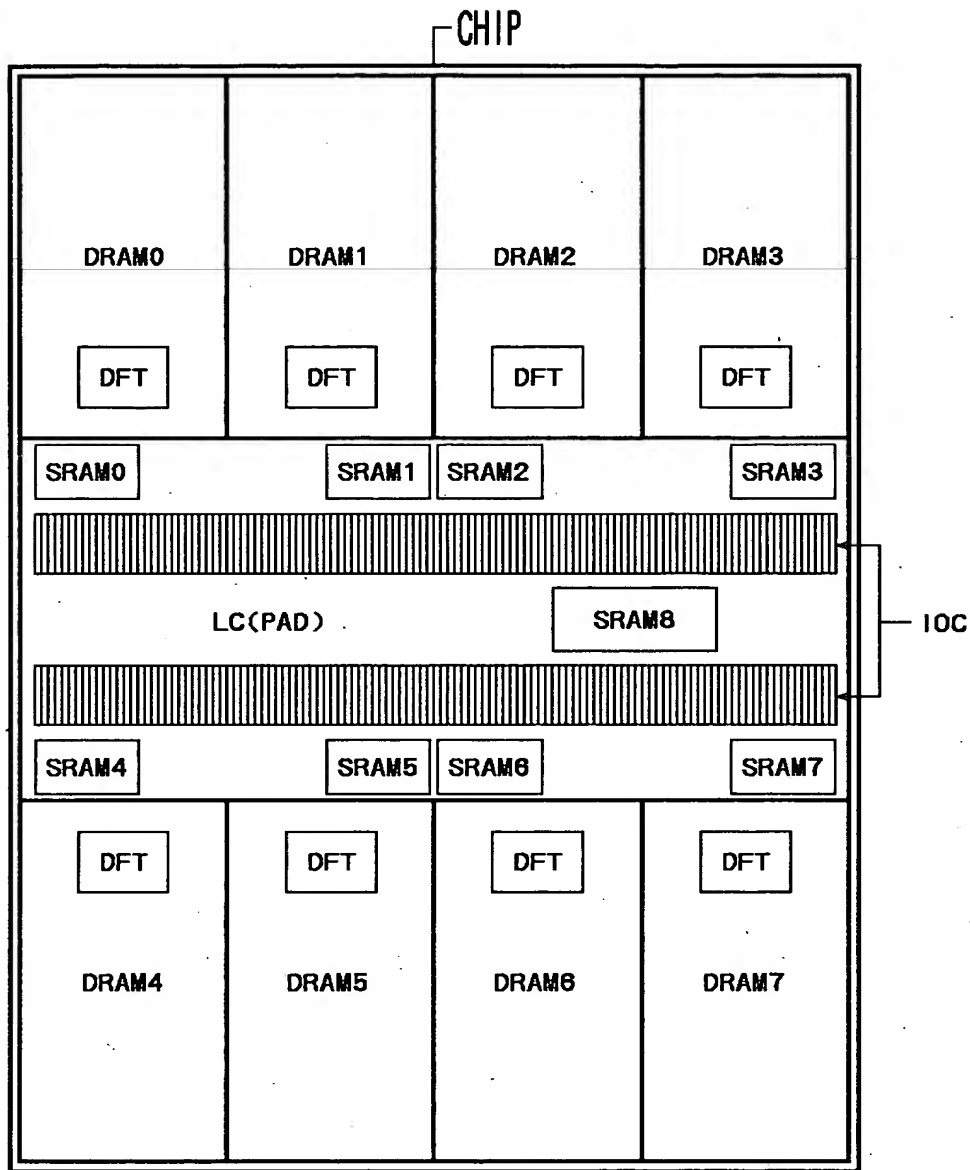
【図 3】



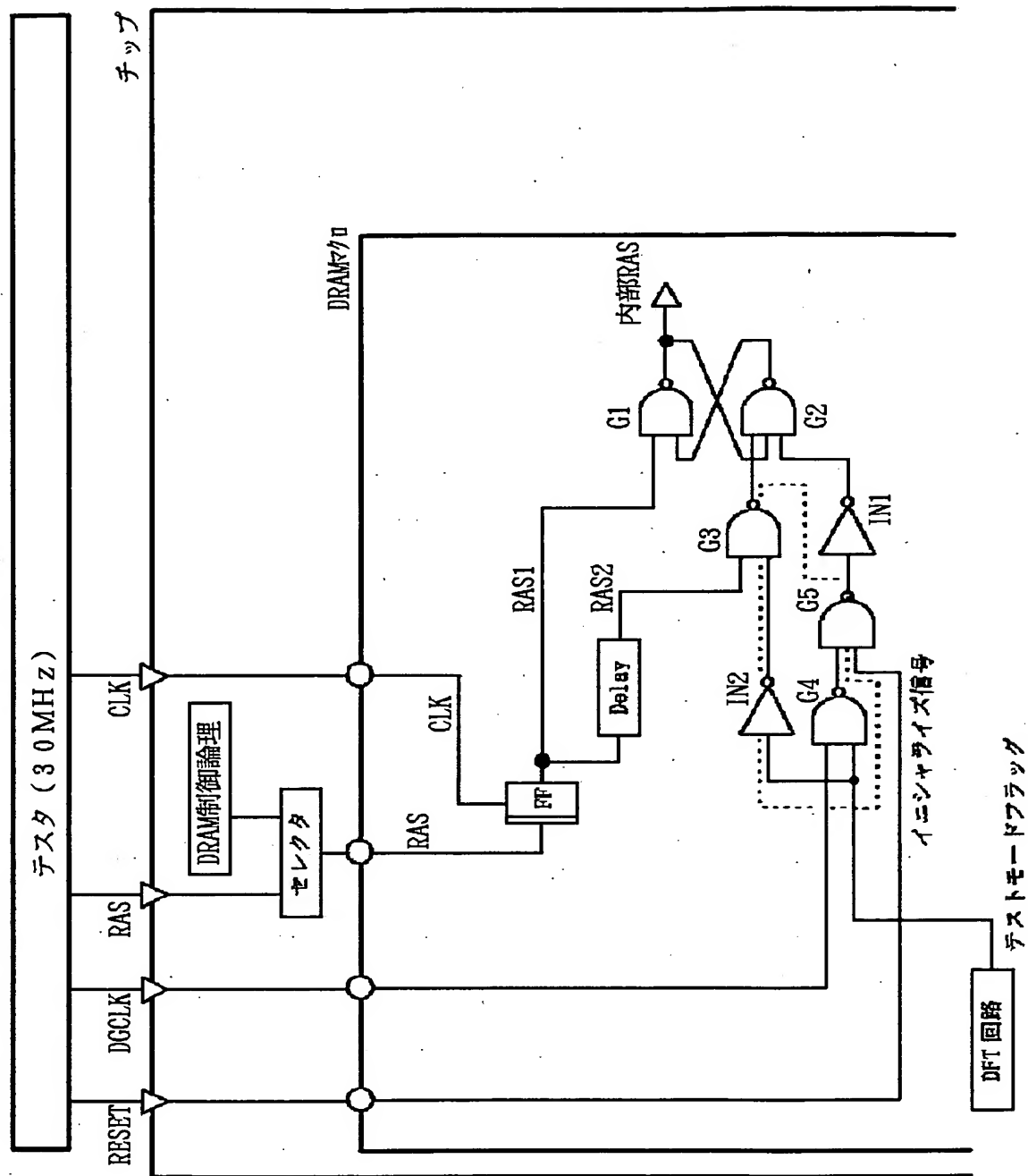
【図 4】



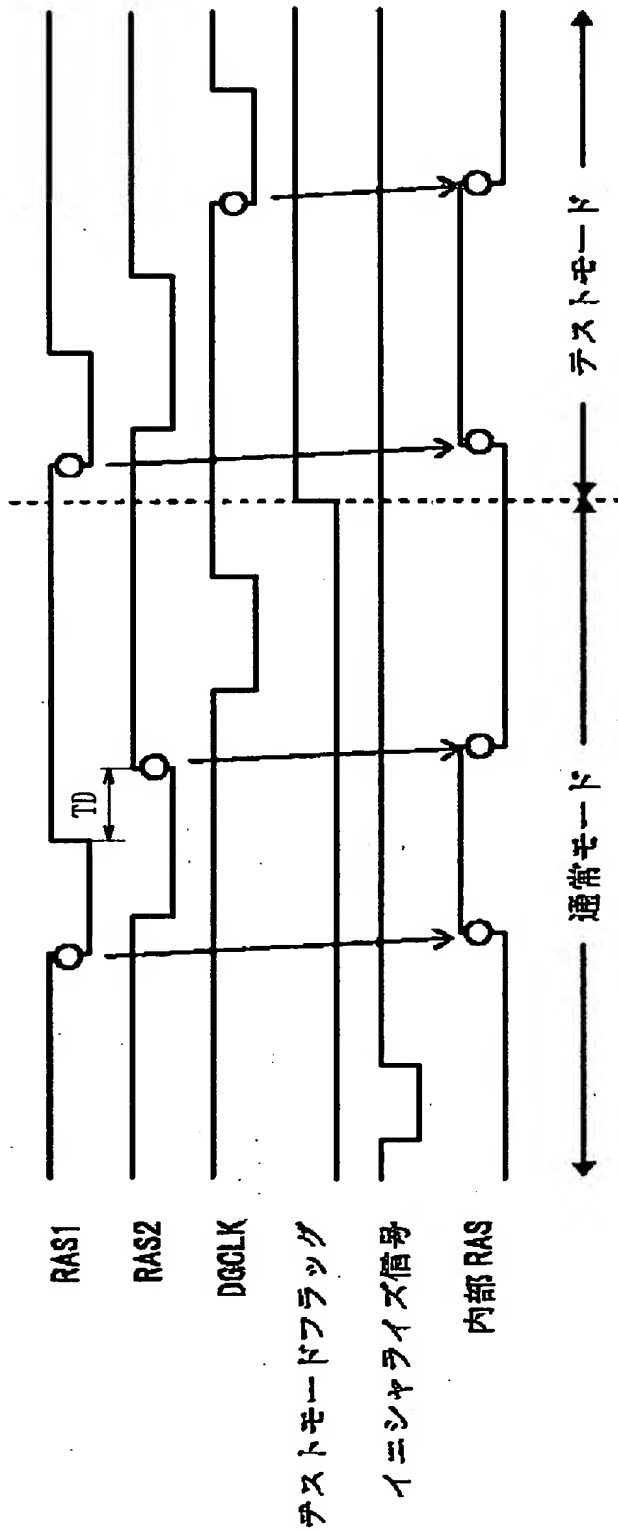
【図 5】



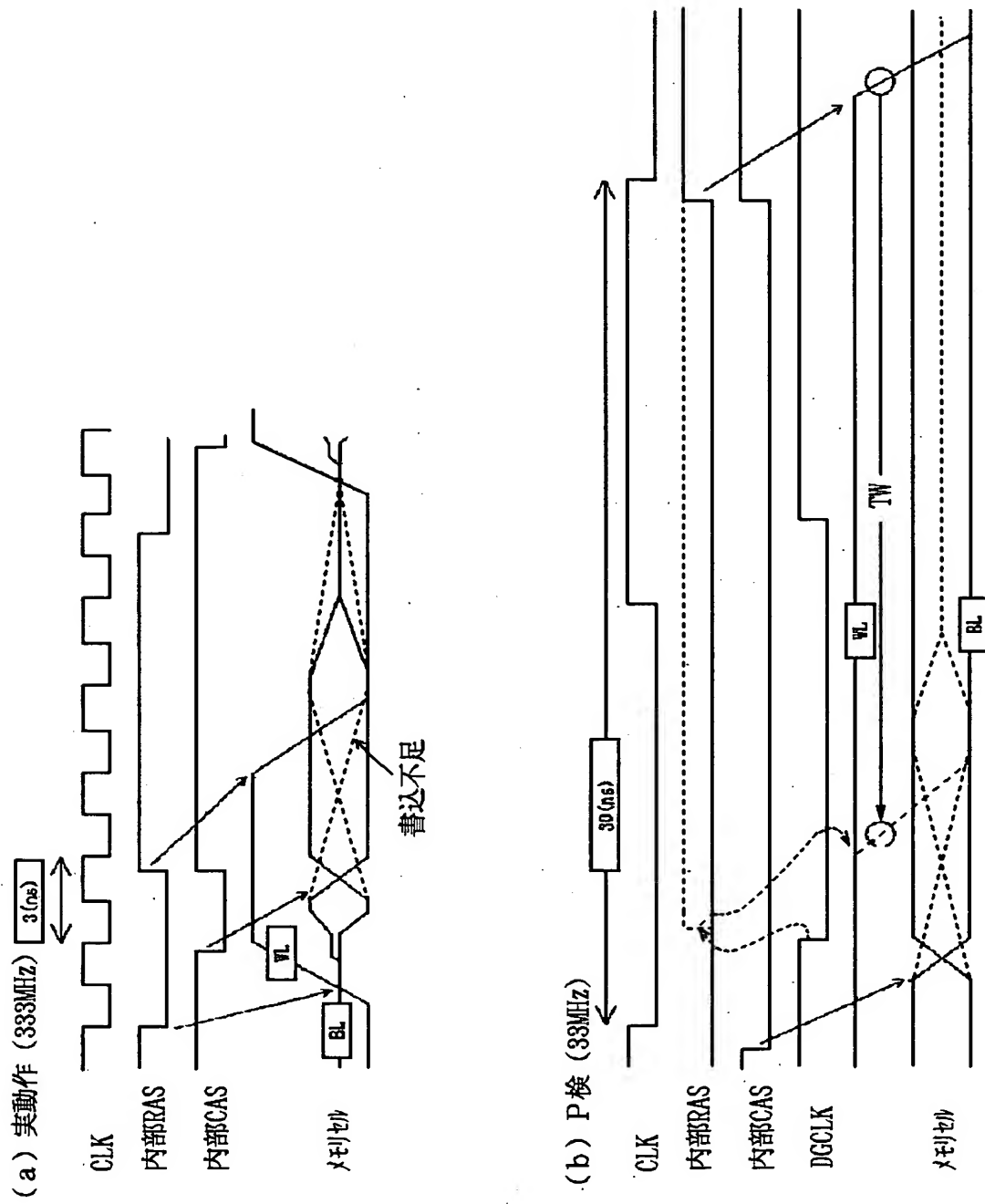
【図6】



【図 7】

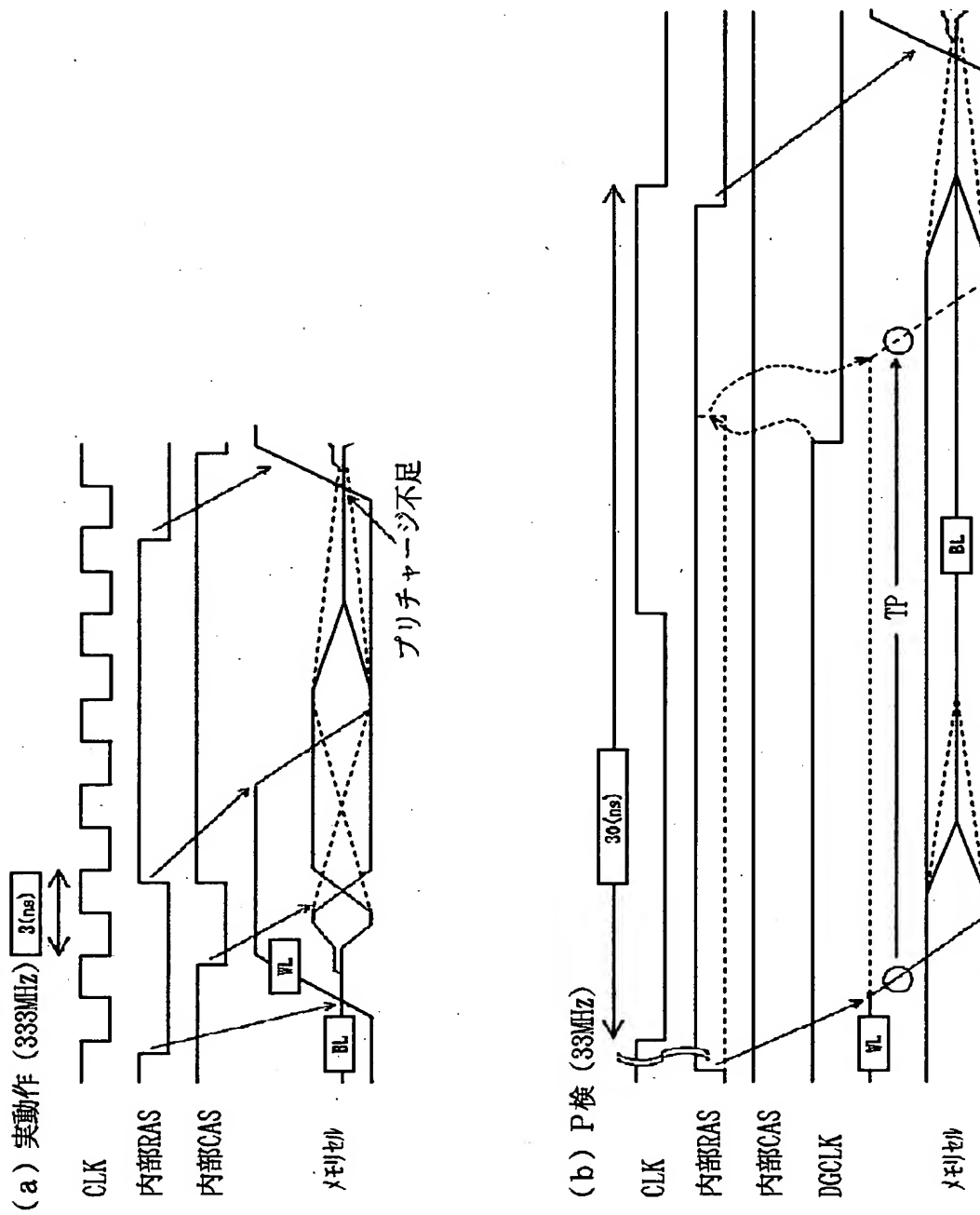


【図 8】

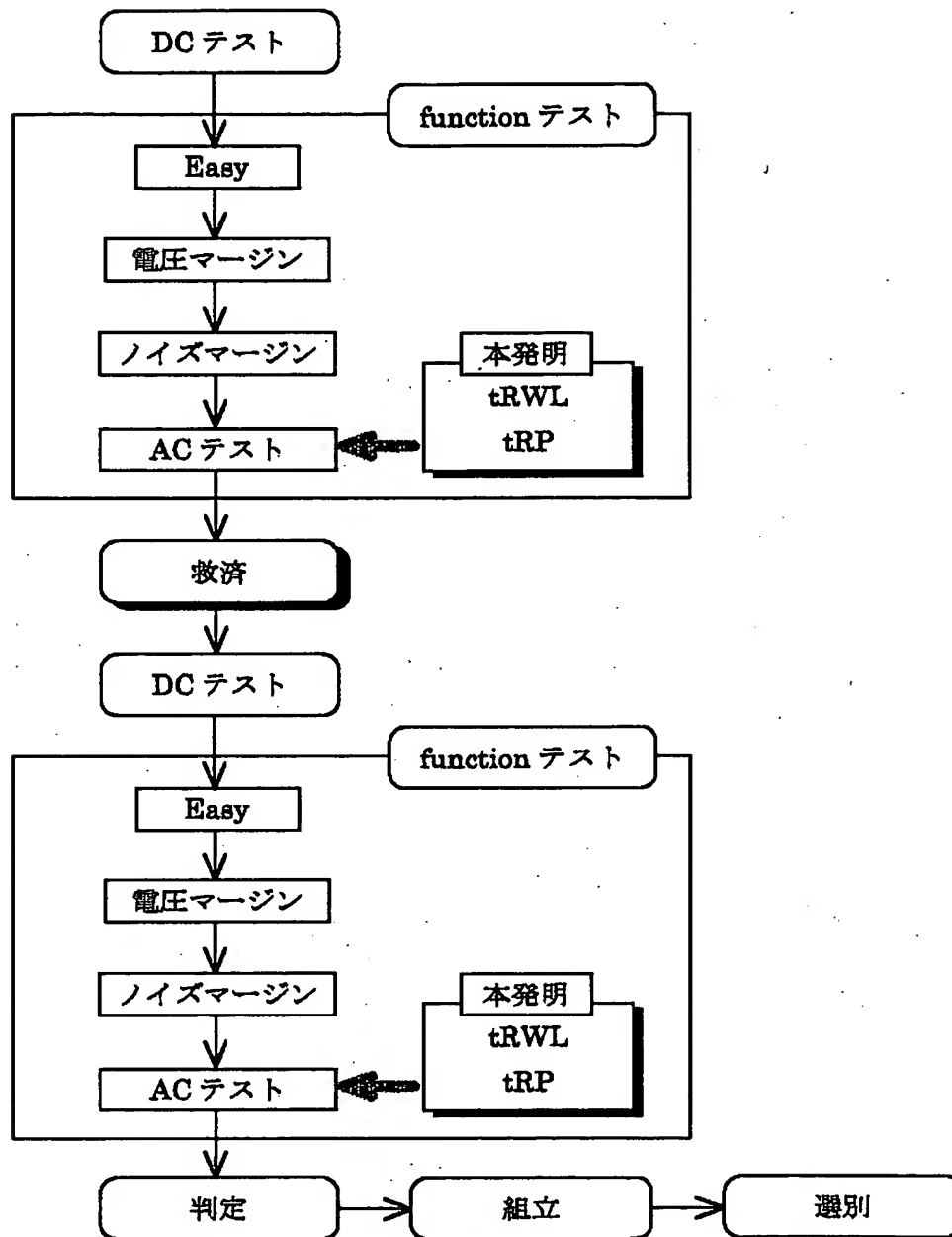




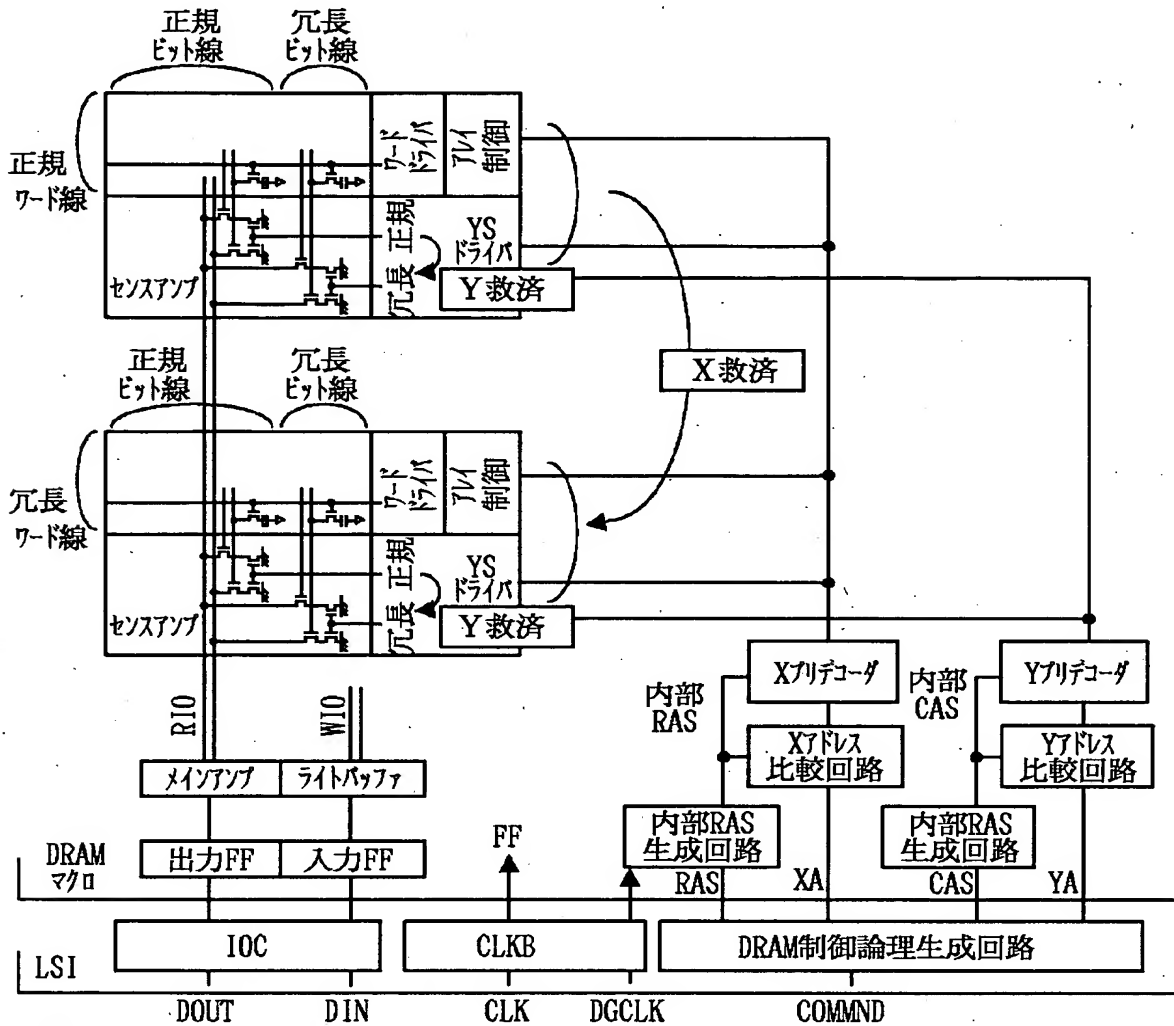
【図9】



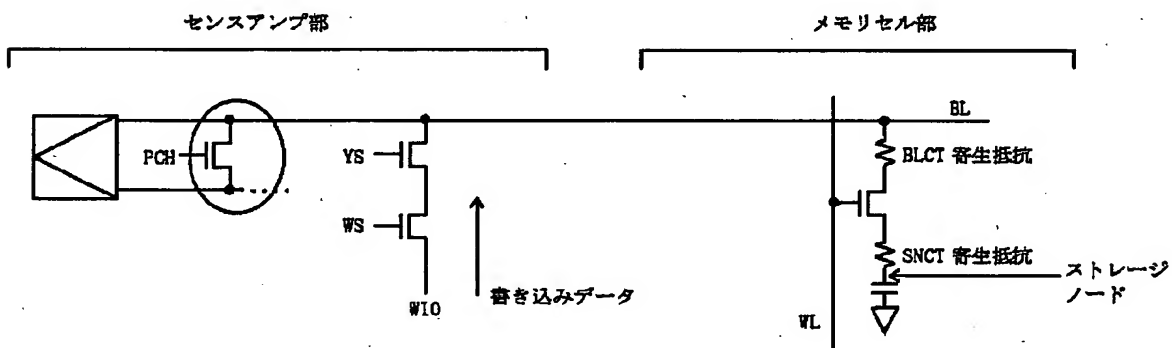
【図 10】



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 簡単な構成により高い信頼性での高速動作試験を可能にした半導体集積回路装置、テスト方法と簡単な構成により選別歩留りの向上を実現した半導体集積回路装置の製造方法を提供する。

【解決手段】 外部動作制御信号が供給される端子と、テスト専用タイミング信号とが供給される端子とに制御回路の入力を結合し、テストモードのときに上記外部動作制御信号の第 1 状態から第 2 状態への変化に応答して上記内部動作制御信号を第 1 制御状態から第 2 制御状態へ変化せしめ、かつ上記テスト専用タイミングに응答して上記内部動作制御信号を第 1 制御状態へ変化せしめ、通常動作モードのときに上記外部動作制御信号の第 1 状態から第 2 状態への変化に응答して上記内部動作制御信号を上記第 1 制御状態から上記第 2 制御状態へ変化せしめ、かつ上記外部動作制御信号の第 1 状態への変化に응答して上記内部動作制御信号を上記第 1 制御状態へ変化せしめるように制御可能とする。

【選択図】 図 6

出 願 人 履 歴 情 報

識別番号

[000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [000233169]

1. 変更年月日	1998年 4月 3日
[変更理由]	名称変更
住 所	東京都小平市上水本町5丁目22番1号
氏 名	株式会社日立超エル・エス・アイ・システムズ